

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC530 U.S. PTO
09/545203
04/07/00


別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

1998年 8月11日

願番号
Application Number:

平成10年特許願第227390号

願人
Applicant(s):

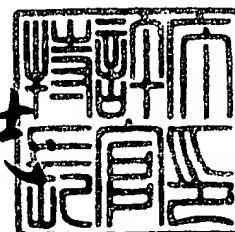
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 5月28日

特許庁長官
Commissioner,
Patent Office

伴佐山 建



【書類名】 特許願
【整理番号】 9800768101
【提出日】 平成10年 8月11日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 7/00
【発明の名称】 撮像装置
【請求項の数】 3
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 池山 裕政
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代表者】 出井 伸之
【代理人】
【識別番号】 100086841
【弁理士】
【氏名又は名称】 脇 篤夫
【代理人】
【識別番号】 100102635
【弁理士】
【氏名又は名称】 浅見 保男
【手数料の表示】
【予納台帳番号】 014650
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710074

【包括委任状番号】 9711279

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項1】 撮像した画像を画像データとして出力する撮像手段と、

前記撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、

前記撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段と、

前記表示用画サイズ調整手段で画サイズ調整された画像データにより表示用出力動作を行なうことができる表示データ出力手段と、

前記記録用画サイズ調整手段で画サイズ調整された画像データを記録媒体に記録することができる記録手段と、

を備えたことを特徴とする撮像装置。

【請求項2】 前記表示用画サイズ調整手段と前記記録用画サイズ調整手段では、画サイズ調整処理に用いるラインメモリが共用されることを特徴とする請求項1に記載の撮像装置。

【請求項3】 前記記録用画サイズ調整手段は、

供給された画像データをN/Mに補間する際に、周波数軸上におけるn/M（但し n = 1, 2, …, M-1）、k/N（但し k = 1, 2, …, N-1）に零点を持つ特性となるフィルタリングを行うことで前記曲線補間を実現することを特徴とする請求項1に記載の撮像装置。但し、M、Nは互いに素な正の整数である。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は例えばデジタルスチルカメラといわれるよう、光電変換素子などによる画像データ取り込みを行い、撮像画像データとして記録媒体に記録したり表示出力できる撮像装置に関するものである。

【0002】

【従来の技術】

CCD 2次元固体撮像素子を用いたいわゆる電子カメラ（デジタルスチルカメラ）が知られている。このような電子カメラはCCD固体撮像素子で取り込んだ静止画の画像データをメモリカードや磁気ディスク、光磁気ディスクなどの記録媒体に撮影画像データとして記憶させることで、通常のカメラのようなフィルムを不要としている。

【0003】

例えば撮像時にはCCD固体撮像素子で取り込まれる被写体側の情景をビューファインダーに再生出力させる。ユーザーはビューファインダーからの画像を確認してシャッタ操作を行なうと、その際に取り込まれる画像データが撮像画像として記録媒体に記録される。

記録媒体に取り込んだ画像データはビューファインダーに再生出力させたり、外部のテレビジョンモニタ機器、コンピュータ機器に出力して撮影写真のように表示させることなどができるようになる。

【0004】

【発明が解決しようとする課題】

ところで、CCD固体撮像素子から取り込み1フレーム分（1画像）のデータとして得られた画像データは、もちろんそのままの画サイズ（画素数）で例えばメモリカードなどの記録媒体に記録させるようにしてもよいが、記録媒体の容量の事情や、撮影可能枚数を多くしたいなどの要望がある場合は、得られた画像データに対して圧縮を行うなどの、画サイズ調整処理が行われることが好適とされる。また表示出力用の画像データとしても、表示画面が対応できる画素数の都合や、或いはモニタ上での拡大表示、縮小表示などを実現するために画サイズ調整処理が行われる。

【0005】

このような画サイズ調整処理は、いわゆる補間処理によって実現される。大まかにいえば、例えば画サイズをN/Mに調整するには、画像データのレートがN, Mの最小公倍数のレートとなるように補間するとともに必要なレートで間引き

を行うことで、 N/M の画サイズのデータを得るようにしている。

そして補間処理としては、前値補間（いわゆる前値ホールドによる補間）、直線補間、フィルタを用いた高性能な補間などが知られている。

【0006】

前値補間、直線補間とともに、フィルタを用いた補間として表現できる。例えば N/M の画サイズ調整についていえば、前値補間は、周波数軸上での k/N （ただし $k = 1, 2, \dots, N-1$ ）に零点を持つフィルタ特性を有することとなり、また直線補間は、周波数軸上での k/N に2重の零点を持つフィルタ特性となる。従って画像データに対する画サイズ調整は、デジタルフィルタリング処理により実現できる。

【0007】

ここで、一般的なフィルタを用いる場合は、零点の位置は任意であり、主に通過域の平坦化と阻止域の減衰量に注意がおかれて設計が行われている。

ところが前値補間、直線補間では、それぞれ k/N のポイントに零点がおかれ、この特性には M の値は関与しないことになる。

このため、 N/M の値が1に近い場合は比較的良好な補間が行われるが、1から離れると「M」についての再サンプルの結果発生するエリアシングが減衰しないことになり、これは画質劣化を招くものとなる。

【0008】

デジタルスチルカメラでの画サイズ調整を考えた場合、例えばモニタ出力用の画像データに関しては、多少画質劣化があっても大きな問題とはならない。また表示出力の際に、拡大、縮小などの多様な表示動作を実現させることには補間処理としてのフレキシビリティのある直線補間が好ましい。

ところが、記録用の画像データに関して画サイズ調整を行う場合は、画質劣化は極力避けなければならないものとなる。つまり、前値補間、直線補間による画サイズ調整は、記録用の画像データに関しては不適切となる場合がある。

【0009】

また画質劣化を避けるためにはより高次のフィルタを用いることも考えられるが、この場合はハードウェア規模がかなり大きくなってしまうという問題が生ず

る。

【0010】

【課題を解決するための手段】

本発明はこのような問題点に鑑みて、撮像装置において表示用の画像データに関する画サイズ調整処理と、記録用の画像データに対する画サイズ調整処理をそれぞれ好適に実行できるようにすること、及びハードウェア規模をさほど増大させないようにすることを目的とする。

【0011】

このために撮像装置として、撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段とを設けるようにする。

即ち記録用の画像データに関する画サイズ調整は曲線補間により実行することで画質劣化を防止する。一方、表示用の画像データに関する画サイズ調整は直線補間により実行することで、多様な表示動作に対応できるようにする。

【0012】

また、表示用画サイズ調整手段と記録用画サイズ調整手段では、画サイズ調整処理に用いるラインメモリが共用されるようにすることで、ハードウェア規模の増大を最小限にとどめる。

また、記録用画サイズ調整手段における曲線補間は、画像データを N/M （但し、M、Nは互いに素な正の整数。つまり N/M は約分できない値としたとき）に補間する際に、周波数軸上における n/M （但し $n = 1, 2, \dots, M-1$ ）、 k/N （但し $k = 1, 2, \dots, N-1$ ）に零点を持つ特性となるフィルタリングを行うことで、画質劣化を良好に防止する。

【0013】

【発明の実施の形態】

以下、本発明の撮像装置の実施の形態としてのデジタルスチルカメラを次の順序で説明する。

1. 直線補間及び曲線補間
2. デジタルスチルカメラの回路構成
3. 記録用画サイズ調整部
4. 表示用画サイズ調整部

【0014】

1. 直線補間及び曲線補間

本例のデジタルスチルカメラでは、後述する表示用画サイズ調整部9で直線補間による画サイズ調整を行い、また記録用画サイズ調整部10で曲線補間による画サイズ調整を行うものとなる。まずここでは、直線補間及び曲線補間としてのフィルタリングについて説明する。

【0015】

まず図1、図2で直線補間の原理を説明する。説明上、入力データ X_n ($n = 1, 2, \dots$) を N/M に変換する場合として、 $M=4$ 、 $N=3$ の例、つまり入力データを $3/4$ に圧縮する例をあげる。

【0016】

図1 (a) は所定のサンプリング周波数 F_s でサンプルされ、その周波数のクロックレートで入力される入力データ $X_1, X_2 \dots$ を示している。この入力データを周波数成分で見ると、図2 (a) のようにサンプリング周波数 F_s を単位として繰り返す特性となる。

このような入力データ X_n を $3/4$ (N/M) に直線補間で縮小することは、図1 (b) に示すように、まず入力データ（画素データ）をクロックレートが3倍 (N 倍) となるようにサンプルポイントを設定し、各サンプルポイントでの入力データ X_n 間の距離比から対応するデータを求め、さらに図1 (c) に示すようにそれを $1/4$ ($1/M$) に間引くことと等価である。

【0017】

図1 (b)において各サンプルポイントの下方に示した数字は、そのサンプルポイントの両側の入力データ (X_n と X_{n+1}) に対する距離比である。この距離比はフィルタ係数と見ることができる。

そして $3/4$ に縮小されたデータである図1 (c) のデータ $Y_1, Y_2 \dots$ についてみると、まずデータ Y_1 については、図1 (a) の入力データ X_1, X_2 に対して図1 (b) のように距離比 (3, 0) のポイントであるため、

$$Y_1 = (3 \cdot X_1 + 0 \cdot X_2) / 3$$

となる。同様に入力データ X_n と距離比から、

$$Y_2 = (2 \cdot X_2 + 1 \cdot X_3) / 3$$

$$Y_3 = (1 \cdot X_3 + 2 \cdot X_4) / 3$$

$$Y_4 = (3 \cdot X_5 + 0 \cdot X_6) / 3$$

となることが理解される。

【0018】

即ちこの直線補間は、3倍のサンプルポイントとなる位置に0データを挿入して (1, 1, 1) (1, 1, 1) = (1, 2, 3, 2, 1) のフィルタをかけたものと等しいことになる。

周波数特性でみると、図2 (b) のように $F_s, 2F_s$ のポイント、つまり $1/3, 2/3$ のポイントに2重の零点を持つものとなる。

また $1/M$ に間引いた出力データ $Y_1, Y_2 \dots$ については、図2 (c) のように $(3/4) F_s$ を単位として繰り返す特性となる。

【0019】

以上のことからわかるように N/M の直線補間をフィルタ特性として見ると、入力データのサンプリング周波数 F_s の k/N 倍 ($k = 1, 2, \dots, N-1$) に2重の零点を持つフィルタであり、この特性に「M」は関与しない。

このため、 N/M の値が1から離れると、Mでの再サンプルの結果発生するエリアシングが減衰せず、画像データの場合は画質劣化が著しくなることになる。

【0020】

次に図3、図4で曲線補間を説明するが、同じく入力データ X_n ($n = 1, 2$

, . . .) を N/M に変換する場合として、 $M = 4$ 、 $N = 3$ の例、つまり入力データを $3/4$ に圧縮する例をあげる。

この場合は、図3 (a) のように所定のサンプリング周波数 F_s でサンプルされ、その周波数のクロックレートで入力される入力データ X_1 , $X_2 \dots$ について、0データ挿入により N 倍 (3倍) にしたデータに対し、サンプリング周波数 F_s の k/N 倍 ($k = 1, 2, \dots, N-1$) と、 n/M 倍 ($n = 1, 2, \dots, M-1$) の周波数ポイントに零点を持つようにフィルタリングを行う (図3 (b))。

そして図3 (c) のように $1/M$ に間引くことになるが、図3 (b) に示した距離比をフィルタ係数と見ることができるため、

$$Y_1 = (3 \cdot X_1 + 1 \cdot X_2) / 4$$

$$Y_2 = (2 \cdot X_2 + 2 \cdot X_3) / 4$$

$$Y_3 = (1 \cdot X_3 + 3 \cdot X_4) / 4$$

$$Y_4 = (3 \cdot X_5 + 1 \cdot X_6) / 4$$

となる。

即ち $M = 4$ 、 $N = 3$ の場合は $(1, 1, 1, 1) (1, 1, 1) = (1, 2, 3, 3, 2, 1)$ となる。

【0021】

周波数特性で見ると、図4 (a) のようにサンプリング周波数 F_s を単位として繰り返す入力データ X_n の特性、及び図4 (c) の出力データ Y_n の特性に対して、図4 (b) のようにサンプリング周波数 F_s の k/N 倍 ($k = 1, 2, \dots, N-1$) と、 n/M 倍 ($n = 1, 2, \dots, M-1$) の周波数ポイントに零点を持つようなフィルタ特性となる。これは即ち、図4 (a) の入力データのキャリア成分を抑圧するとともに、図4 (c) の $1/M$ に間引かれた後にキャリアとなる周波数成分をも抑圧するフィルタ特性となり、従って、 N , M の値がどのように設定されていても (変換比がいくらであっても) 、エリアシングを減衰させることができる。従って画像データで見れば、視覚上目立つ低周波への折り返しが減衰され、画質劣化を抑えることができるものとなる。

【0022】

以上のことから、直線補間と曲線補間においてN/Mに補間する場合のフィルタは次のようになる。まず直線補間は、

【数1】

$$\left(\sum_{k=0}^{N-1} Z^{-k} \right)^2$$

となる。これはN = 3 の場合は、

$$\begin{aligned} (1 + Z^{-1} + Z^{-2})^2 &= (1, 1, 1) (1, 1, 1) \\ &= (1, 2, 3, 2, 1) \end{aligned}$$

となり、上記例の通りである。

【0023】

また曲線補間は、

【数2】

$$\sum_{n=0}^{M-1} Z^{-n} \sum_{k=0}^{N-1} Z^{-k}$$

となり、これはN = 3、M = 4 の場合は上記のよう

$$\begin{aligned} (1 + Z^{-1} + Z^{-2} + Z^{-3}) (1 + Z^{-1} + Z^{-2}) \\ = (1, 1, 1, 1) (1, 1, 1) \end{aligned}$$

= (1, 2, 3, 3, 2, 1)

となる。

【0024】

この（数1）（数2）の式で表されるフィルタを係数時変のポリフェーズフィルタで構成する場合、ポリフェーズフィルタのタップ数は次のようになる。

まず直線補間の場合は、タップ数Tは、

$$\begin{aligned} T &= (2N - 1) / N \\ &= 2 - 1 / N < 2 \end{aligned}$$

であるため、変換比N/Mをどのような値としても、2タップで構成できる。つまり直線補間のためのフィルタは、簡易な構成であって、かつ変換比の異なる補間処理に対してフレキシビリティの高い回路とすることができる、変換比を変える場合は係数設定の変更などで容易に対応できるものとなる。

【0025】

一方曲線補間の場合のタップ数Tは、

$$T \geq (M + N - 1) / N$$

を満たす整数Tとなり、M、Nの値、つまり変換比によって必要なタップ数が異なるものとなる。

タップ数TからMの値を考えると、

$$M \leq (T - 1) N + 1$$

となり、つまりタップ数T = 2 の場合はMはM ≤ N + 1 を満たす整数、タップ数T = 3 の場合はMはM ≤ 2 N + 1 を満たす整数である。

即ち変換比をN/N + 1より縮小させる場合はフィルタに必要なタップ数が増えることになる。

【0026】

以上のことから画像データに対して（数1）のフィルタリングによる直線補間を行う場合は、変換比が1から離れることに従って画質劣化が著しくなる。しかしながら各種の変換比の切り換えが容易でかつ回路構成も簡単となる。

また画像データに対して（数2）のフィルタリングによる曲線補間を行う場合は、変換比によらず高品質な画質を維持できる。その一方で、変換比により必要

なタップ数も異なるものとなり各種の変換比の切り換えが容易な回路構成を簡易に実現することは困難である。

【0027】

2. デジタルスチルカメラの回路構成

以上のような直線補間、曲線補間を利用する本例のデジタルスチルカメラ1の構成を図5で説明する。

図5はデジタルスチルカメラ1のブロック図である。

【0028】

レンズ系1はズームレンズ、フォーカスレンズなどのレンズと、これらレンズを駆動してフォーカス調整、ズーム調整、アイリス調整を行なうレンズドライバが設けられている部位である。

【0029】

レンズ系1を介して入射された光線は光電変換素子であるCCD固体撮像素子3（以下、単にCCDという）に結像される。CCD3には光電変換素子が垂直及び水平方向にマトリクス状に配置され、2次元の撮像領域が形成され、1H（Hは水平走査期間）内に1フレーム分の信号電荷を読み出す。

【0030】

このCCD4の駆動はタイミング発生部6により行われる。タイミング発生部6はCCD4の駆動のための基準タイミングを生成するとともに基準タイミングに基づいてCCD4に対する垂直走査信号、水平走査信号を出力し、CCD4の撮像動作を実行させる。また、垂直走査信号、水平走査信号の設定制御等により1チャンネル読出／2チャンネル読出の切り換えも行なう。

【0031】

CCD3から出力される画像データは、CDS及びA/D変換回路4に供給される。CDS及びA/D変換回路4では、まずCDS（Correlated Double Sampling：相関二重サンプリング）と呼ばれるサンプル／ホールド動作が行なわれる

。これはCCD3の出力としてはプリチャージレベル（黒レベル）とデータレベル（信号レベル）が交互に出力されることになることから、プリチャージレベルとデータレベルを各々別にサンプリングし、その差分をとることで通常の映像信号の状態にするものである。

このCDS処理が行なわれた後、ゲイン調整、ダイナミックレンジ調整が行われ、A/D変換処理が行われてデジタル画像データとして次段のDSP（Digital Signal Processor）5に出力される。

【0032】

DSP5では入力されるデジタル画像データに対して補正処理や色分離、ホワイトバランス調整、ガンマ補正等の処理を行ない、カラーマトリクス処理でR/G/B信号を抽出する。そしてそのR/G/B信号からY信号生成及び各種Y信号処理、クロマ信号生成及び各種色信号処理を行なって、輝度信号Y、及び色差信号CR（=R-Y）、CB（=B-Y）という形態で出力する。

出力される輝度信号Y、色差信号CR、CBのデータ量の比は4：2：2の形態とされる。

また、DSP5では輝度信号Y、及び色差信号CR、CBについての垂直同期信号、水平同期信号や、後述する水平有効映像期間信号（XDOPEN）、垂直有効映像期間信号（XDOPEN）等を生成し、所要部位に供給する。

【0033】

ここまでレンズ系2、タイミング発生部6、CDS及びA/D変換回路4、DSP5の動作制御はカメラコントローラ8によって行われる。

カメラコントローラ8は、マイクロコンピュータによる形成され、主に撮像動作に関する制御を行なうことになる。また、その制御動作のための各種定数や設定値などが内部メモリもしくは外部メモリ（EEPROMなど）に保持されている。

【0034】

カメラコントローラ31はインターフェースコントローラ23を通して操作部24の操作を監視している。

操作部24としてはユーザーが操作する各種キー・スイッチが設けられている

。例えばこのデジタルスチルカメラ1をパワーオフ／撮像モード／再生モードに切り換えるメインスイッチや、撮像のためのレリーズボタン（シャッターボタン）、ズーム操作キー、フォーカスモード操作キー、ストロボ発光モードキーなどである。

カメラコントローラ31はこれらの操作キーやスイッチに応じて、レンズ系2におけるズーム動作、フォーカス動作、アイリス調整動作などを指示する。

また、撮影時の基準となるタイミングをタイミング発生部6に指示し、さらにCDS及びA/D変換回路4に設定すべきゲイン値などを与える。またDSP58における各種処理の制御を行なう。

またDSP5における処理タイミングを制御することで、DSP5においてCCD3からの出力に同期した状態で信号処理が行なわれるようとする。

またストロボ発光モードとされているときは、レリーズスイッチ34の操作に同期してストロボユニット36の駆動も行なう。

【0035】

DSP5から出力される画像データ（輝度信号Y、色差信号CB、CR）は表示用画サイズ調整部9に供給され、表示に用いる画像データとしての画サイズ調整が行なわれる。詳しくは後述するが、ここでは直線補間処理により画サイズ調整を行うことになる。表示用画サイズ調整部9で画サイズ調整（縮小又は拡大）された画像データはビデオRAMコントローラ11の制御によってビデオRAM12に書き込まれる。そしてビデオRAMコントローラ11の制御に基づく所定タイミングでビデオRAM12から読み出される画像データ（輝度信号Y、色差信号CB、CR）はビデオエンコーダ13に供給され、RGBエンコード処理、デジタル／アナログ変換処理等が行われる。即ちビデオ信号としてのエンコードが行われることになる。また表示する画像にキャラクタ画像が重畠される場合には、発生したキャラクタ画像信号をビデオ信号に重畠して出力する。

【0036】

このビデオエンコーダ13からのビデオ信号はビデオ出力部14から外部モニタ装置に供給され、画像表示させることができる。またデコーダ／ドライバ15において処理され、例えばビューファインダとしての液晶表示部16において画

像表示出力される。即ちデコーダ／ドライバ15では供給されたRGB画像信号に対して液晶表示部16での表示のためのデコード処理を行ない、インターレース方式による表示駆動を行なう。これにより、液晶表示部16で撮影時の画像、つまり被写体側からCCD3によって取り込んだ画像をモニタすることができる。

【0037】

DSP5から出力される画像データはまた、記録用画サイズ調整部10を介して、もしくは直接、DRAMコントローラ17に供給され、DRAMコントローラ17の制御によってDRAM18に書き込まれる。これは記録媒体であるPCカード25に対する記録データとして扱われる。従って、データ量を少なくして記録する場合は、記録用画サイズ調整部10で画サイズ調整が実行され、画サイズが縮小されることになる。詳しくは後述するが、この記録用画サイズ調整部10では曲線補間フィルタリングによる画サイズ調整が行われる。

【0038】

JPEGコントローラ19及びJPEG処理回路20は、DRAM18に記憶された画像データに対して、JPEG方式 (Joint Photographic Experts Group) による圧縮処理を行なったり、また逆に圧縮処理された画像データを元のデータに伸長する動作を行なう。

記録時にはJPEGコントローラ19がDRAM18に記憶された画像データをJPEG処理回路20に供給して圧縮処理を実行させる。圧縮された画像データはDRAM22に格納され、所定タイミングでインターフェースコントローラ23を介してPCカード25に記録される。

またPCカード25に記録されていた画像データを再生する際には、インターフェースコントローラ23によりPCカード25から読み込まれた画像データがDRAM22に格納された後、JPEG処理部20に供給され、伸長処理が行われる。JPEGコントローラ19は伸長処理された画像データを表示用画サイズ調整部9に供給する。

【0039】

メインコントローラ21はこれらの各部の全体の制御を行う部位とされる。

即ち操作部24の操作に応じて、このデジタルスチルカメラ1としては、モニタ動作、記録動作、再生動作が実行されるが、各動作を実現するための制御を実行することになる。また、制御動作のための各種定数や設定値などが内部もしくは外部のメモリ（EEPROMなど）に保持されている。

【0040】

メインコントローラ21の指示によって各部の動作で実行されるモニタ動作、記録動作、再生動作は次のようになる。

モニタ動作とは、記録動作のためにユーザーが被写体を選択している期間の動作を言い、即ちこの期間は、CCD3で撮像される画像を液晶表示部16もしくはビデオ出力部14に接続された外部モニタ装置において表示する動作が実行されることになる。

このためメインコントローラ21はカメラコントローラ8に対して撮像動作を指示するとともに、表示用画サイズ調整部9及びビデオRAMコントローラ11～液晶表示部16までの各部での表示のための動作を指示する。

【0041】

記録動作はユーザーのシャッター操作に応じて実行される画像記録動作となる。操作部24におけるシャッタ操作はインターフェースコントローラ23によって検出されてメインコントローラ21及びカメラコントローラ8に伝えられるが、このときカメラコントローラ8はDSP5で検出される輝度レベルを確認して必要であればストロボ7を発光させる。またCCD3から記録画としての画像データを出力させるようにタイミング発生部6に指示する。

CCD3から出力され、DSP5での処理により得られた画像データは必要であれば記録用画サイズ調整部10で調整されてからDRAM18に格納される。

そしてDRAM18にフレーム画像が蓄積されたら、上記したようにJPEGコントローラ19は、DRAM18に記憶された画像データをJPEG処理回路20に供給して圧縮処理を実行させ、DRAM22に格納させる。するとメインコントローラ21はDRAM22に蓄積された画像データをインターフェースコントローラ23を介してPCカード25に記録すべく制御を行うことになる。

【0042】

再生動作はPCカード25に記録されていた画像データをユーザーの操作に応じて再生表示させる動作である。

このときメインコントローラ21は操作に応じて、インターフェースコントローラ23によりPCカード25から所要の画像データを読み出させ、DRAM22に格納させる。するとJPEGコントローラ19は、上記したようにDRAM22に格納された画像データについてJPEG処理部20で伸長処理を実行させ、伸長処理された画像データをDRAMコントローラ17を介して表示用画サイズ調整部9に供給する。そして表示用画サイズ調整部9で必要な画サイズ調整が行われた後、表示用の画像データとして処理され、ビデオ出力部14に接続された外部モニタ装置や、液晶表示部16で表示されることになる。これによりユーザーは撮影してPCカード25に記録しておいた画像を見ることができる。

【0043】

3. 記録用画サイズ調整部

このデジタルスチルカメラ1の記録画像データの最大サイズは水平一垂直方向に 1360×1020 画素となる。つまりこれはCCD3により取り込まれる画像データとしてのサイズである。

ここで、PCカード25に画像データを記録することに関しては、もちろんこの 1360×1020 画素の画像データをそのまま用いてJPEG圧縮して記録するようにしてもよい。

しかしながらPCカード25の容量を考えると、画サイズが大きい画像データの記録を行っていく場合、記録可能枚数が少なくなる。そこで本例では、1枚の画像データに関して画サイズを縮小して記録するようにしており、記録枚数を多くできるモードが用意されている。本例では、CCD3から取り込んだ 1360×1020 画素の画像データを 640×480 画素の画像データに縮小してからJPEG圧縮を行ってPCカード25に記録できるようにしており、このよう

な画サイズ変換を、記録用画サイズ変換部10で実行するようにしている。なおこの場合縮小比率は8／17となる。

【0044】

この記録用画サイズ調整部10では、8／17の画サイズ縮小を可能とするが、特に本例では記録用画サイズ調整部10で図3、図4及び(数2)で説明した曲線補間としてのフィルタリングにより画サイズ縮小を行うことで、大きな画質劣化が生じないようにしている。

$N/M = 8/17$ であることから上記(数2)からフィルタの最小構成は、
 $(1, 1, 1, 1, 1, 1, 1, 1) (1, 1, 1, 1, 1, 1, 1, 1)$ と表すことができる。

【0045】

このフィルタの特性は図6に示すようになる。なお図6において横軸(周波数軸)は、サンプリング周波数 $F_s = 8$ として正規化した値としている。そして図には周波数0.00～4.00の範囲を示しているが、4.00～8.00の範囲は、図示する特性が折り返されたものとなる。

図からわかるように、「N」即ち「8」に関与するポイントとして、サンプリング周波数 F_s の $1/8, 2/8, 3/8, 4/8$ 、及び $4.00 \sim 8.00$ の範囲として図示していないがサンプリング周波数 F_s の $5/8, 6/8, 7/8, 8/8$ の各ポイントに零点を持つフィルタ特性となる。これは即ち、フィルタへの入力データのキャリア成分を抑圧する特性となる。

また同じく図からわかるように、「M」即ち「17」に関与するポイントとして、サンプリング周波数 F_s の $1/17, 2/17, 3/17, 4/17, 5/17, 6/17, 7/17, 8/17$ 、及び $4.00 \sim 8.00$ の範囲として図示していないがサンプリング周波数 F_s の $9/17, 10/17, 11/17, 12/17, 13/17, 14/17, 15/17, 16/17, 17/17$ の各ポイントに零点を持つフィルタ特性となる。これは即ち、間引き後にキャリアとなる周波数成分を抑圧するフィルタ特性となる。

【0046】

従って8／17の縮小を行うことに関して、エリアシングを減衰させることが

でき、つまり縮小された画像データにおいて視覚上目立つ低周波への折り返しが減衰されたものとなる。即ち画質劣化を抑えた画サイズ調整ができる。

【0047】

このフィルタに必要なタップ数Tは、 $N = 8$ 、 $M = 17$ であることから、
 $T \geq (17 + 8 - 1) / 8 = 3$
 となるため、3タップが必要となる。

【0048】

この $8/17$ の画サイズ調整を行うフィルタリングの概念を図7に示す。
 [0] [1] [2] … の [] の数字は、それぞれ1つのデータを示している。そのデータとして、図7(a)はフィルタに入力される輝度信号としての入力データ Y_{in} 、及び処理後の出力データ Y_{out} を示しており、また図7(b)はフィルタに入力される色差信号としての入力データ C_{in} 、及び処理後の出力データ C_{out} を示している。但し、色差信号についてはCB又はCRの一方のみで示しているため、入力データのタイミング間隔は輝度信号の2倍している。

また $coef(0) \sim coef(7)$ は、係数時変のポリフェーズフィルタとしての係数を示している。例えば3タップで得られる輝度信号入力 Y_{in} としてのデータ[2] [3] [4]に対しては係数 $coef(0)$ が乗算される。具体的にはデータ[2]に対して $coef(0(1))$ の値が乗算され、データ[3]に対して $coef(0(2))$ の値が乗算され、データ[4]に対して $coef(0(3))$ の値が乗算され、そして各乗算値が加算されて出力データ $Y_{out}[1]$ が得られる。

なお、出力データの下部に示した数値（例えば出力データ $Y_{out}[1]$ についての $-3/8$ ）は、図中矢印の量としての中心タイミングからのずれ量を表し、これは上述したように演算係数と見ることができる値となる。

【0049】

この図からわかるように、輝度信号としての入力データ Y_{in} は、入力データ[0]～[17]について、 $8/17$ された出力データ[0]～[8]が得られる。また色差信号としての入力データ C_{in} は、入力データ[0]～[32]に

ついて、8/17とされた出力データ[0]～[13]が得られる。

そしてこれらの出力データYout[0]～[8]及び出力データCout[0]～[13]については、それぞれ3タップの入力データから下部に示した係数が与えられていることで、曲線補間が実現されているものとなる。

【0050】

以下、本例の記録用画サイズ調整部10の構成及び動作について説明していく。

図8は記録用画サイズ調整部10の内部の構成を示す。記録用画サイズ調整部10にはフィルタ部31、制御部32、出力部33が設けられる。

フィルタ部31には、DSP5からの輝度データとしての入力としてデータYin、及び色差データとしての入力としてデータCin(CB及びCR)が供給される。

【0051】

そしてデータYinは、Y水平フィルタ31YHにおいて水平方向のフィルタリングが行われてデータYf1とされ、続いてY垂直フィルタ31YVにおいて垂直方向のフィルタリングが行われてデータYf2とされる。データYinは画素数で 1360×1020 のデータであり、データYf2は8/17に縮小された 640×480 のデータとなる。

またデータCinは、C水平フィルタ31CHにおいて水平方向のフィルタリングが行われてデータCf1とされ、続いてC垂直フィルタ31CVにおいて垂直方向のフィルタリングが行われてデータCf2とされる。データCinは画素数で 680×1020 のCBデータ及び 680×1020 のCRデータという2チャンネルのデータであり、またデータCf2は8/17に縮小された 320×480 のCBデータ及び 320×480 のCRデータという2チャンネルのデータとなる。

【0052】

Y水平フィルタ31YH、Y垂直フィルタ31YV、C水平フィルタ31CH、C垂直フィルタ31CVはそれぞれ3タップ、8ポリフェーズフィルタとされる。そして各フィルタに対して、乗算係数としての8ビット値coef10～1

7、coef20～27、coef30～37が共通に供給され、後述する内部レジスタにセットされる。

【0053】

フィルタ部31でのフィルタリングにより画サイズ調整されたデータYf2、Cf2は、出力部33に供給され、後段のDRAM18に書き込むためのタイミング調整（位相調整）が行われる。そしてタイミング調整されたデータが出力データYout、Coutとして、メモリライトイネーブル信号MWENOとともに、DRAMコントローラ17に供給され、DRAM18に書き込まれることになる。

【0054】

制御部32は、フィルタ部31及び出力部33に対して各種タイミングを規定する信号を出力する。

この制御部32は、DSP5からの水平有効映像期間信号XDPHEN、垂直有効映像期間信号XDPEVNに基づいて各種信号を生成する。即ち水平有効映像期間信号XDPHEN、垂直有効映像期間信号XDPEVNが「L」レベルの期間において、次に説明する各タイミング信号でフィルタ部31、出力部32の動作を実行させる。

【0055】

まずフィルタ部31に対しては、8/17の変換のための間引きタイミング信号YHEN、CHEN、YCVENを供給するとともに、係数制御信号YHCN、YVCN、CHCN、CVCNを供給する。

間引きタイミング信号YHENは、Y水平フィルタ31YHにおけるデータYinに対する水平方向の間引きタイミングを規定する。

間引きタイミング信号CHENは、C水平フィルタ31CHにおけるデータCinに対する水平方向の間引きタイミングを規定する。

間引きタイミング信号VCVENは、Y垂直フィルタ31YV及びC垂直フィルタ31CVにおける各垂直方向の間引きタイミングを規定する。

【0056】

係数制御信号YHCNは、ポリフェーズフィルタとしてのY水平フィルタ31

YHにおける係数アドレスであり、つまり係数coef10~17、coef20~27、coef30~37をそれぞれ8段階に順次切り換えていく制御を行うための信号である。

係数制御信号YVCN、CHCN、CVCNも同様であり、それぞれY垂直フィルタ31YV、C水平フィルタ31CH、C垂直フィルタ31CVに対する係数アドレスとなる。

【0057】

制御部32はまた、出力部33に対してセレクト信号YSEL、CSEL、メモリライトイネーブル信号MWHEN、MWVENを出力する。

セレクト信号YSEL、CSELは、出力部33におけるデータ並び替えの制御信号となる。

メモリライトイネーブル信号MWHEN、MWVENは、それぞれDRAMコントローラ17に供給するメモリライトイネーブル信号MWENOの元になる水平成分及び垂直成分である。

【0058】

Y水平フィルタ31YH、Y垂直フィルタ31YV、C水平フィルタ31CH、C垂直フィルタ31CVのそれぞれの構成を図9~図12に示すとともに、図13~図17のタイミングチャートを用いて、フィルタ部31の動作を説明していく。

【0059】

まず図13には入力データYin、Cinを示している。Y:CB:CRは4:2:2の割合とされ、従ってDSP5から入力データYinとして、クロックCKのタイミングで各8ビットのデータY0、Y1、Y2...が供給されるとともに、入力データCinとして、クロックCKのタイミングで各8ビットのデータCB0、CR0、CB2、CR2、CB4、CR4...が供給されることになる。

【0060】

入力データYinについては、図9の構成のY水平フィルタ31YHに入力され、図14に示すように処理されることになる。なお、図14の処理は水平有効

映像期間信号XDPHENが「L」の期間に行われることになる。

【0061】

Y水平フィルタ31YHは図9に示すように、入力データYinに対して、ラッチ回路51a、51b、51cによるシフトレジスタ51が設けられ、各ラッチ回路51a、51b、51cで1クロックタイミングの遅延が行われることで、3タップのデータSR1y、SR2y、SR3yが得られる。従って図13に示した入力データYinに対してデータSR1y、SR2y、SR3yは図14に示すようになる。

【0062】

データSR1y、SR2y、SR3yはそれぞれスイッチ52a、52b、52cを介してラッチ回路53a、53b、53cに入力される。ラッチ回路53a、53b、53cのラッチ出力データMI1y、MI2y、MI3yは乗算器54a、54b、54cに供給される。

【0063】

ここで、スイッチ52a、52b、52cは間引きタイミング信号YHENにより切り換えられることになる。このスイッチ52a、52b、52cによって、ラッチ回路53a、53b、53cへの入力データが、データSR1y、SR2y、SR3yと、ラッチ出力データMI1y、MI2y、MI3yとの間で選択されることで、ラッチ回路53a、53b、53cのラッチ出力データMI1y、MI2y、MI3yとしては、データの間引きが行われた状態となる。

つまり時間の進行に伴って、図14に示す間引きタイミング信号YHENのタイミングでラッチ出力データMI1y、MI2y、MI3yが、(Y1、Y0、Y-1) → (Y4、Y3、Y2) → (Y6、Y5、Y4) → …と切り換えられていくことになり、つまり図7(a)の上段に示したように間引きされた3タップのデータが得られることになる。

【0064】

一方、レジスタ55a、55b、55cには、それぞれ乗算係数としての8ビット値coef10~17、coef20~27、coef30~37がセットされている。この各レジスタ55a、55b、55cから乗算器54a、54b

、54cに供給される乗算係数は、係数制御信号（係数アドレス）YHCNにより切り換えられていく。

即ち図14に示すように係数制御信号YHCN=0の時は、レジスタ55a、55b、55cからcoef10、coef20、coef30が出力され、乗算器54a、54b、54cにおいてそれぞれラッチ出力データMI1y、MI2y、MI3yと乗算される。つまりこのとき乗算器54aで $Y_1 \times coef10$ 、乗算器54bで $Y_0 \times coef20$ 、乗算器54cで $Y-1 \times coef30$ という乗算が行われる。

また係数制御信号YHCN=1の時は、レジスタ55a、55b、55cからcoef11、coef21、coef31が出力され、従ってこのときは乗算器54aで $Y_4 \times coef11$ 、乗算器54bで $Y_3 \times coef21$ 、乗算器54cで $Y_2 \times coef31$ という乗算が行われる。

以降同様に乗算係数が切り換えられていくとともに、それぞれラッチ出力データMI1y、MI2y、MI3yと乗算されていく。

【0065】

そして乗算器54a、54b、54cの出力は加算器56、57で加算され、丸め処理部58で処理された後、ラッチ回路59a、59bから成るタイミング調整部59を介してデータYf1として出力される。

例えば $(Y_1 \times coef10) + (Y_0 \times coef20) + (Y-1 \times coef30) = YHO0$ とされ、また $(Y_4 \times coef11) + (Y_3 \times coef21) + (Y_2 \times coef31) = YHO1$ とされ……というように、図14に示すデータYf1 (=YHO0、YHO1、YHO2……) が出力される。

このデータYf1は、水平方向に画サイズ調整されたデータであり、画素数で 640×1020 のデータとなる。これが次段のY垂直フィルタ31YVに供給されることになる。

【0066】

なおタイミング調整部59は、データYf1と、後述するC水平フィルタ31CHからの出力データCf1とのタイミングを調整するものであり、データYf1の出力は図14に示すように所定期間遅延される。また図14のようにデータ

$Y_f 1$ に対してメモリライトイネーブル信号 $Y-MWEN$ が形成される。

【0067】

入力データ Y_{in} とともにフィルタ部 31 に供給される入力データ C_{in} は、図 11 の構成の C 水平フィルタ 31CH に入力され、図 15 に示すように処理されることになる。この H 水平フィルタ 31CH の処理も水平有効映像期間信号 $X-DPHEN$ が「L」の期間に行われる。

【0068】

C 水平フィルタ 31CH は図 11 に示すように、入力データ C_{in} に対して、ラッチ回路 81a、81b1、81b2、81c1、81c2 によるシフトレジスタ 81 が設けられる。そしてラッチ回路 81a で 1 クロックタイミングの遅延が行われ、またラッチ回路 81b1、81b2、及びラッチ回路 81c1、81c2、でそれぞれ 2 クロックタイミングの遅延が行われることで、3 タップのデータ $SR1c$ 、 $SR2c$ 、 $SR3c$ が得られる。この場合、図 13 に示した入力データ C_{in} に対してデータ $SR1c$ 、 $SR2c$ 、 $SR3c$ は図 15 に示すようになり、つまりデータ CB 、 CR を一対として 2 クロックづつ遅延されたデータとなる。

【0069】

データ $SR1c$ 、 $SR2c$ 、 $SR3c$ はそれぞれスイッチ 82a、82b、82c を介してラッチ回路 83a、83b、83c に入力される。ラッチ回路 83a、83b、83c のラッチ出力データ $MI1c$ 、 $MI2c$ 、 $MI3c$ は乗算器 84a、84b、84c に供給される。

【0070】

ここで、スイッチ 82a、82b、82c は間引きタイミング信号 $CHEN$ により切り換えされることになる。このスイッチ 82a、82b、82c によって、ラッチ回路 83a、83b、83c への入力データが、データ $SR1c$ 、 $SR2c$ 、 $SR3c$ と、ラッチ出力データ $MI1c$ 、 $MI2c$ 、 $MI3c$ との間で選択されることで、ラッチ回路 83a、83b、83c のラッチ出力データ $MI1c$ 、 $MI2c$ 、 $MI3c$ としては、データの間引きが行われた状態となる。

つまり時間の進行に伴って、図 15 に示す間引きタイミング信号 $CHEN$ のタ

タイミングでラッチ出力データM1c、M2c、M3cが切り換えられていく。但しこの場合は、間引きタイミング信号CHENが2クロック周期の期間のパルスとされていることで、一対のデータCB、CRがまとめて選択されることになる。

これによりM1c、M2c、M3cとしては、(CB2、CB0、CB-2) → (CR2、CR0、CR-2) → (CB-6、CB4、CB2) → (CR6、CR4、CR2) …と切り換えられていことになり、つまり図7(b)の上段に示したように間引きされた3タップのデータが得られる。

【0071】

レジスタ85a、85b、85cには、上記Y水平フィルタ31YHのレジスタ55a、55b、55cと同様に、それぞれ乗算係数としての8ビット値coef10~17、coef20~27、coef30~37がセットされている。この各レジスタ85a、85b、85cから乗算器84a、84b、84cに供給される乗算係数は、係数制御信号(係数アドレス)CHCNにより切り換えられていく。

【0072】

即ち図15に示すように係数制御信号YHCN=0の時は、レジスタ85a、85b、85cからcoef10、coef20、coef30が出力され、乗算器84a、84b、84cにおいてそれぞれラッチ出力データM1c、M2c、M3cと乗算される。つまりこのとき乗算器84aでCB2×coef10、乗算器84bでCB0×coef20、乗算器84cでCB-2×coef30という乗算が行われる。

また係数制御信号YHCN=1の時は、レジスタ85a、85b、85cからcoef11、coef21、coef31が出力され、従ってこのときは乗算器84aでCR2×coef10、乗算器84bでCR0×coef20、乗算器84cでCR-2×coef30という乗算が行われる。

さらに係数制御信号YHCN=2となる次のタイミングでは、レジスタ85a、85b、85cからcoef12、coef22、coef32が出力され、従ってこのときは乗算器84aでCB6×coef10、乗算器84bでCB4

$\times \text{coef } 20$ 、乗算器 84c で $\text{CB } 2 \times \text{coef } 30$ という乗算が行われる。

以降同様に乗算係数が切り換えられていくとともに、それぞれラッチ出力データ $\text{MI } 1 \text{c}$ 、 $\text{MI } 2 \text{c}$ 、 $\text{MI } 3 \text{c}$ と乗算されていく。

【0073】

そして乗算器 84a、84b、84c の出力は加算器 86、87 で加算され、丸め処理部 88 で処理された後、ラッチ回路 89 を介してデータ $\text{Cf } 1$ として出力される。

即ち図 15 に示すデータ $\text{Cf } 1$ ($= \text{CBO } 0, \text{CRO } 0, \text{CBO } 4, \text{CRO } 4 \dots$) が出力されるが、例えば $\text{CBO } 0 = (\text{CB } 2 \times \text{coef } 10) + (\text{CB } 0 \times \text{coef } 20) + (\text{CB } -2 \times \text{coef } 30)$ となる。また $\text{CRO } 0 = (\text{CR } 2 \times \text{coef } 10) + (\text{CR } 0 \times \text{coef } 20) + (\text{CR } -2 \times \text{coef } 30)$ となる。さらに $\text{CBO } 4 = (\text{CB } 6 \times \text{coef } 10) + (\text{CB } 4 \times \text{coef } 20) + (\text{CB } 2 \times \text{coef } 30)$ となる。

【0074】

このデータ $\text{Cf } 1$ は、水平方向に画サイズ調整されたデータであり、CB データ、CR データとしてそれぞれ画素数で 320×1020 のデータとなる。これが次段の C 垂直フィルタ 31CV に供給されることになる。また図 15 のようにデータ $\text{Cf } 1$ に対してメモリライトイネーブル信号 C-MWE N が形成される。

【0075】

ここで、上記 Y 水平フィルタ 31YH からタイミング調整部 59 を介して出力されるデータ $\text{Yf } 1$ と、この C 水平フィルタ 31CH から出力されるデータ $\text{Cf } 1$ のタイミング関係は図 16 のようになる。即ち 1 水平ライン期間内において、輝度データと色差データは位相がずれたものとなっている。このため後述するよに出力部 33 で位相合わせ処理が行われる。

【0076】

Y 水平フィルタ 31YH から出力されるデータ $\text{Yf } 1$ は図 10 に示す Y 垂直フィルタ 31YV において垂直方向のフィルタリングが行われ、また C 水平フィルタ 31CH から出力されるデータ $\text{Cf } 1$ は図 12 に示す C 垂直フィルタ 31CV において垂直方向のフィルタリングが行われる。

いずれの処理も動作は基本的に同様であるため図17のタイミングチャートを用いて説明するが、この処理は図示するように水平有効映像期間信号XDPHEN、垂直有効映像期間信号XDPEVNが「L」の期間に行われる。

【0077】

なお図10のY垂直フィルタ31YVにおけるスイッチ60a、60b、及び図12のC垂直フィルタ31CVにおけるスイッチ90a、90bは、記録用画サイズ調整部10の処理が行われているときは常にTR端子が接続され、表示用画サイズ調整部9での処理が行われる際にTP端子に切り換えられるものである。従って、Y垂直フィルタ31YV、C垂直フィルタ31CVの説明に限っては、スイッチ60a、60b、及びスイッチ90a、90bは存在しないものと捉えてよい。

【0078】

まずY垂直フィルタ31YVは、図10に示すようにFIFO（ファーストイントーファーストアウト）方式のラインメモリ62、63が設けられ、それぞれ1水平ラインタイミングの遅延が行われるようにされている。

なおラインメモリ62、63は、供給されるデータYf1に対して、ラッチ回路61a、61b、61cで3クロック分遅延された間引きタイミング信号YHENに基づいてデータ記憶を行う。間引きタイミング信号YHENとは上記Y水平フィルタ31YHにおいてスイッチ52a、52b、52cの切換制御を行つてデータ間引きを実現した信号であり、これがデータYf1の3クロック分の遅延要素（ラッチ回路53a（又は53b/53c）、59a、59b）にタイミングを合わせて供給されることで、ラインメモリ62、63に適正にデータYf1が取り込まれていくことになる。

【0079】

このY垂直フィルタ31YVでは、ラインメモリ62、63による遅延によつて、3タップのデータDL1、DL2、DL3が得られる。

つまり図17に示すようにデータDL1、DL2、DL3は、1ライン単位で遅延されたデータとして例えばラインデータ（L1、L0、L-1）→（L2、L1、L0）→（L3、L2、L1）→…となる。

【0080】

データDL1、DL2、DL3はそれぞれスイッチ64a、64b、64cを介してラッチ回路65a、65b、65cに入力される。ラッチ回路65a、65b、65cのラッチ出力データMI1、MI2、MI3は乗算器66a、66b、66cに供給される。

【0081】

ここで、スイッチ64a、64b、64cは間引きタイミング信号YCVENにより切り換えられる。このスイッチ64a、64b、64cによって、データDL1、DL2、DL3がライン単位で間引かれた状態でラッチ回路65a、65b、65cへ供給される。従ってラッチ回路65a、65b、65cのラッチ出力データMI1、MI2、MI3は、図17に示すようにライン単位でデータの間引きが行われた状態となる。

【0082】

レジスタ67a、67b、67cには、Y水平フィルタ31YHと同様に、それぞれ乗算係数としての8ビット値coef10~17、coef20~27、coef30~37がセットされている。この各レジスタ67a、67b、67cから乗算器66a、66b、66cに供給される乗算係数は、係数制御信号（係数アドレス）YVCNにより切り換えられていく。この場合は、図17からわかるように係数制御信号YVCNに基づいて3ラインもしくは2ライン間隔で、乗算係数が切り換えられていくことになる。

【0083】

そして例えば図17に示すように係数制御信号YVCN=0の時は、乗算器66aで $L_1 \times coef_{10}$ 、乗算器66bで $L_0 \times coef_{20}$ 、乗算器66cで $L_1 \times coef_{30}$ という乗算が行われる。また係数制御信号YHCN=1の時は、乗算器66aで $L_4 \times coef_{11}$ 、乗算器66bで $L_3 \times coef_{21}$ 、乗算器66cで $L_2 \times coef_{30}$ という乗算が行われる。

以降同様に乗算係数が切り換えられていくとともに、それぞれラッチ出力データMI1、MI2、MI3と乗算されていく。

【0084】

そして乗算器66a、66b、66cの出力は加算器68、69で加算され、丸め処理部70で処理された後、ラッチ回路71を介してデータYf2として出力される。

例えば $(L_1 \times \text{coef } 10) + (L_0 \times \text{coef } 20) + (L_{-1} \times \text{coef } 30) = LO_0$ とされ、また $(L_4 \times \text{coef } 11) + (L_3 \times \text{coef } 21) + (L_2 \times \text{coef } 31) = LO_1$ とされ……というように、図17に示すデータYf2 (=LO0、LO1、LO2……) が出力される。

このデータYf2は、水平方向に加えて垂直方向にもサイズ調整されたデータであり、画素数で 640×480 のデータとなる。つまりフィルタ部31で8/17の画サイズ調整が行われた輝度データとなる。

【0085】

続いてC垂直フィルタ31CVを説明するが、これも図12に示すようにFI FO（ファーストイントーファーストアウト）方式のラインメモリ92、93が設けられ、それぞれ1水平ラインタイミングの遅延が行われるようにされている。

このラインメモリ92、93は、供給されるデータCf1に対して、ラッチ回路91a、91bで2クロック分遅延された間引きタイミング信号CHENに基づいてデータ記憶を行う。間引きタイミング信号CHENとは上記C水平フィルタ31CHにおいてスイッチ82a、82b、82cの切換制御を行ってデータ間引きを実現した信号であり、これがデータCf1の2クロック分の遅延要素（ラッチ回路83a（又は83b/83c）、89）にタイミングを合わせて供給されることで、ラインメモリ92、93に適正にデータCf1が取り込まれていくことになる。

【0086】

このC垂直フィルタ31CVでも、ラインメモリ92、93による遅延によって、3タップのデータDL1、DL2、DL3が得られる。

そしてデータDL1、DL2、DL3はそれぞれスイッチ94a、94b、94cを介してラッチ回路95a、95b、95cに入力される。さらにラッチ回路95a、95b、95cのラッチ出力データMI1、MI2、MI3は乗算器

96a、96b、96cに供給される。

スイッチ94a、94b、94cが間引きタイミング信号YCVENにより切り換えられることで、ラッチ出力データM11、M12、M13がライン単位でデータの間引きが行われた状態となることは上記Y垂直フィルタ31YVと同様である。

なおスイッチ94a、94b、94cの他端にデータ「80h」が供給されるようにしているが、色差データは符号付（オフセットバイナリ）コードとされ、80hがゼロコードとなるためである。

【0087】

レジスタ97a、97b、97cには、Y垂直フィルタ31YVと同様に、それぞれ乗算係数としての8ビット値coef10~17、coef20~27、coef30~37がセットされている。そして乗算器96a、96b、96cに供給される乗算係数は、係数制御信号（係数アドレス）YVCNにより切り換えられていく。

そして乗算器96a、96b、96cの出力は加算器98、99で加算され、丸め処理部100で処理された後、ラッチ回路101を介してデータCf2として出力される。以上の処理は図10、図17で説明したY垂直フィルタ31YVと同様になる。

このC垂直フィルタ31CVから出力されるデータCf2は、水平方向に加えて垂直方向にもサイズ調整されたデータであり、画素数で 320×480 のCBデータ及び 320×480 のCRデータとなる。つまりフィルタ部31で8/17の画サイズ調整が行われた色差データとなる。

【0088】

以上のようにフィルタ部31で8/17に変換されたデータYf2、Cf2は、出力部33に供給される。そして位相タイミング調整が行われて後段のDRA Mコントローラ17に出力されることになる。

【0089】

図18に出力部33の構成を示す。

出力部33は、アンドゲート110、ラッチ回路111、113、114、1

16、スイッチ112, 115により構成される。

アンドゲート110では制御部32からのメモリライトイネーブル信号MWHEN、MWVENの論理積をとり、これがメモリライトイネーブル信号MWENY2とされる。そしてこのメモリライトイネーブル信号MWENY2としての1ビットと、Y垂直フィルタ31YVからの8ビットのデータYf2がスイッチ112の0端子に供給され、またラッチ回路111を介して1クロック遅延されてデータYf3及びメモリライトイネーブル信号MWENY3としてスイッチ112の1端子に供給される。

【0090】

スイッチ112は制御部32からのセレクト信号YSELにより切り換えられる。スイッチ112で選択されたデータYSEL0及びメモリライトイネーブル信号MWENSは、ラッチ回路113を介して、出力データYout及びメモリライトイネーブル信号MWENOとされてDRAMコントローラ17に供給されることになる。

【0091】

またC垂直フィルタ31CVからの8ビットのデータCf2はスイッチ115の0端子に供給され、またラッチ回路114を介して1クロック遅延されてデータCf3としてスイッチ114の1端子に供給される。

スイッチ114は制御部32からのセレクト信号CSELにより切り換えられる。スイッチ114で選択されたデータCSEL0は、ラッチ回路116を介して、出力データCoutとされてDRAMコントローラ17に供給されることになる。

【0092】

この出力部33による動作は図19のようになる。

図19に示すデータYf2、データCf2は、水平期間内では図16で説明した位相関係となっている。

このようなデータYf2、データCf2と遅延データYf3、Cf3がそれぞれ図示するようなセレクト信号YSEL、CSELによってスイッチ112, 115で選択されることで、データYSEL0、CSEL0、メモリライトイネー

ブル信号MWE_NSは、図示するような位相関係になり、これがラッチ回路113、116で1クロック遅延されることで、図示するような出力データY_{out}、メモリライトイネーブル信号MWE_NO、出力データC_{out}が得られる。

【0093】

この図19の出力データY_{out}、メモリライトイネーブル信号MWE_NO、出力データC_{out}を図20(a)に示す。後段のDRAMコントローラ17では、メモリライトイネーブル信号MWE_NOに基づいて出力データY_{out}、C_{out}をDRAM18に書き込んでいく。つまりメモリライトイネーブル信号MWE_NOがHレベルとなる破線で囲ったタイミングでDRAM18にデータが書き込まれていく。

そして図からわかるように少なくともメモリライトイネーブル信号MWE_NOに規定されるタイミングにおいては、輝度データY_{out}(YH00、YH03、YH05...)と、色差データC_{out}(CBO0、CRO0、CBO4、CRO4、CBO8、CRO8...)との間の位相ずれが調整された状態となっており、これによって図20(b)のように、輝度データY_{out}(YH00、YH03、YH05...)と、色差データC_{out}(CBO0、CRO0、CBO4、CRO4、CBO8、CRO8...)が適切なタイミングでDRAM18に書き込まれていくことになる。

【0094】

記録用画サイズ調整部10では以上のようにデータY_{in}、C_{in}に対して7/18の画像調整が行われ、調整したデータY_{out}、C_{out}をDRAM18に格納していくことができる。

そしてこの記録用画サイズ調整部10では、8/17の画サイズ縮小に際して図6に示したフィルタ特性での処理を実行することで、大きな画質劣化が生じないようによることを実現したものとなる。

【0095】

4. 表示用画サイズ調整部

続いて表示用画サイズ調整部9について説明する。

上述したように、本例のデジタルスチルカメラ1の記録画像データの最大サイズは水平一垂直方向に 1360×1020 画素である。液晶表示部16や外部モニタ装置において表示させる画像データとしては、もちろんこのままの画素数のデータでもよいが、その表示装置の仕様により画サイズを縮小しなければならないことも生じる。また拡大表示や縮小表示を行いたい場合もある。このため、 1360×1020 画素の画像データに対して或る程度フレキシブルな画サイズ調整が求められるが、このような画サイズ変換を、表示用画サイズ変換部9での直線補間により実行するようにしている。

【0096】

図21は表示用画サイズ調整部9の内部の構成を示す。表示用画サイズ調整部9はフィルタ部41、制御部42、出力部43が設けられる。

フィルタ部41には、DSP5からの輝度データとしての入力としてデータ Y_{in} 、及び色差データとしての入力としてデータ C_{in} (CB及びCR)が供給される。

【0097】

そしてデータ Y_{in} は、Y水平フィルタ41YHにおいて水平方向のフィルタリングが行われてデータ Y_f11 とされ、続いてY垂直フィルタ41YVにおいて垂直方向のフィルタリングが行われてデータ Y_f12 とされる。データ Y_{in} は画素数で 1360×1020 のデータであり、データ Y_f2 はフィルタ係数及び間引きタイミングによって規定された比率で縮小されたデータとなる。

またデータ C_{in} は、C水平フィルタ41CHにおいて水平方向のフィルタリングが行われてデータ C_f11 とされ、続いてC垂直フィルタ41CVにおいて垂直方向のフィルタリングが行われてデータ C_f12 とされる。データ C_{in} は画素数で 680×1020 のCBデータ及び 680×1020 のCRデータという2チャンネルのデータであり、またデータ C_f2 は所定の比率で縮小された2チャンネルのデータとなる。

【0098】

上述したように直線補間の場合、フィルタは2タップで構成できる。このためY水平フィルタ4 1 Y H、Y垂直フィルタ4 1 Y V、C水平フィルタ4 1 C H、C垂直フィルタ4 1 C Vはそれぞれ2タップ構成とされる。

またこの例ではY水平フィルタ4 1 Y H、C水平フィルタ4 1 C Hは3ポリフェーズフィルタ、C垂直フィルタ4 1 C V、Y垂直フィルタ4 1 Y Vは4ポリフェーズフィルタとされる。

そしてY水平フィルタ4 1 Y H、C水平フィルタ4 1 C Hに対しては、乗算係数としての8ビット値coef 40~42、coef 50~52が共通に供給され、後述する内部レジスタにセットされる。

またY垂直フィルタ4 1 Y V、C垂直フィルタ4 1 C Vに対しては、乗算係数としての8ビット値coef 60~63、coef 70~73が共通に供給され、内部レジスタにセットされる。

【0099】

フィルタ部4 1でのフィルタリングにより画サイズ調整されたデータY f 2、C f 2は、出力部4 3に供給され、後段のビデオRAMコントローラ1 1に供給するための処理が行われる。そしてその直線補間により得られたデータが出力データY out、C outとして、メモリライトイネーブル信号MWE NOとともに、ビデオRAMコントローラ1 1に供給され、ビデオRAM1 2に書き込まれることになる。

【0100】

制御部4 2は、フィルタ部4 1及び出力部4 3に対して各種タイミングを規定する信号を出力する。

この制御部4 2は、DSP 5からの水平有効映像期間信号XDPHEN、垂直有効映像期間信号XDPEVNに基づいて各種信号を生成する。即ち水平有効映像期間信号XDPHEN、垂直有効映像期間信号XDPEVNが「L」レベルの期間において、各タイミング信号でフィルタ部4 1、出力部4 2の動作を実行させる。

フィルタ部4 1に対するタイミング信号としては、N/Mの変換のための間引

きタイミング信号YHEN、CHEN、YCVEN、及び係数時変のための係数制御信号（係数アドレス）YHCN、YVCN、CHCN、CVCNとなる。

【0101】

Y水平フィルタ41YH、Y垂直フィルタ41YV、C水平フィルタ41CH、C垂直フィルタ41CVのそれぞれの構成を図22～図25に示す。

なおDSP5からの入力データYin、Cinは、図13に示したとおりとなる。

【0102】

入力データYinについては、図22の構成のY水平フィルタ41YHに入力される。

Y水平フィルタ41YHは図示するように、入力データYinに対して、ラッチ回路151a、151bによるシフトレジスタ151が設けられ、各ラッチ回路151a、151bで1クロックタイミングの遅延が行われることで、2タップのデータが得られる。

【0103】

ラッチ回路151a、151bからのデータはそれぞれスイッチ152a、152bを介してラッチ回路153a、153bに入力される。ラッチ回路153a、153bのラッチ出力データは乗算器154a、154bに供給される。

スイッチ152a、152bは間引きタイミング信号YHENにより切り換えられることになり、上記記録用画サイズ調整部10のY水平フィルタ31YHと同様に、この動作によって、ラッチ回路153a、153bのラッチ出力データとしては、データの間引きが行われた状態となる。

【0104】

一方、レジスタ155a、155bには、それぞれ乗算係数としての8ビット値coef40～42、coef50～52がセットされている。この各レジスタ155a、155bから乗算器154a、154bに供給される乗算係数は、係数制御信号（係数アドレス）YHCNにより切り換えられていく。これも基本的には上記記録用画サイズ調整部10のY水平フィルタ31YHと同様の動作となる。

【0105】

乗算器154a、154bでは、ラッチ回路153a、153bのラッチ出力データと、順次切り換えられて供給される乗算係数coef40～42、coef50～52の間で乗算が行われていく。

そして乗算器154a、154bの出力は加算器156で加算され、丸め処理部158で処理された後、ラッチ回路159a、159bから成るタイミング調整部159を介してデータYf11として出力される。

このデータYf11は、水平方向に画サイズ調整されたデータであり、これが次段のY垂直フィルタ41YVに供給されることになる。

【0106】

ここで直線補間を実行する際に、水平方向に関してN1/M1の変換比での処理を実行するとし、N1=3であるとすると、上記のように各3つの乗算係数が用意され、また各タップに対して対になる係数は、係数Kと係数1-Kの関係となる。即ち図中の表に示すように乗算係数coef40=1/3、coef50=2/3となる。

同様に、乗算係数coef41=2/3、coef51=1/3となり、さらに乗算係数coef42=3/3、coef52=0となる。

これにより図1、図2で説明した直線補間としての処理が実現される。

【0107】

入力データYinとともにフィルタ部41に供給される入力データCinは、図24の構成のC水平フィルタ41CHに入力される。

C水平フィルタ41CHは図示するように、入力データCinに対して、ラッチ回路181a、181b1、181b2によるシフトレジスタ181が設けられる。そしてラッチ回路181aで1クロックタイミングの遅延が行われ、またラッチ回路181b1、181b2で2クロックタイミングの遅延が行われることで、2タップのデータが得られる。この場合、上述した記録用画サイズ調整部10のC水平フィルタ31CHと同様にデータCB、CRを一対として2クロック遅延されたデータとなる。

【0108】

2タップのデータはそれぞれスイッチ182a、182bを介してラッチ回路183a、183bに入力される。ラッチ回路183a、183bのラッチ出力データは乗算器184a、184bに供給される。

そしてスイッチ182a、182bは間引きタイミング信号C H E Nにより切り換えられ、これによってラッチ出力データとしては、データの間引きが行われた状態となる。

【0109】

レジスタ185a、185bには、上記Y水平フィルタ41YHのレジスタ155a、155bと同様に、それぞれ乗算係数coef40~42、coef50~52がセットされている。この表示用画サイズ調整部9では水平方向に関してN1/M1の変換比での処理を実行する際にN1=3としており、従って乗算係数coef40~42、coef50~52の値は図22に示したとおりとなる。

この各レジスタ155a、155bから乗算器154a、154bに供給される乗算係数は、係数制御信号（係数アドレス）CHCNにより切り換えられていく。

【0110】

乗算器184a、184bでは、ラッチ回路183a、183bのラッチ出力データと、順次切り換えられて供給される乗算係数coef40~42、coef50~52の間で乗算が行われていく。

そして乗算器184a、184bの出力は加算器186で加算され、丸め処理部188で処理された後、ラッチ回路189を介してデータCf11として出力される。

このデータCf11は、直線補間により水平方向に画サイズ調整されたデータであり、これが次段のC垂直フィルタ41CVに供給されることになる。

【0111】

Y水平フィルタ41YHから出力されるデータYf11は図23に示すY垂直フィルタ41YVにおいて垂直方向のフィルタリングが行われ、またC水平フィ

ルタ41CHから出力されるデータCf11は図25に示すC垂直フィルタ41CVにおいて垂直方向のフィルタリングが行われる。

【0112】

まずY垂直フィルタ41YVは、2タップ構成とするものであるが、この例では1ラインの遅延のためのラインメモリは設けられていない。

上記図10に示したY垂直フィルタ31YVにおけるスイッチ60a、60bは、表示用画サイズ調整部9での処理が行われる際にTP端子に切り換えられるものである。つまり表示用画サイズ調整部9での処理が行われている際には、データYf11は図23及び図10に示す①の経路により、記録用画サイズ調整部10内のY垂直フィルタ31YVにおけるラインメモリ62に供給され、またラインメモリ62の出力が②の経路により戻されるものとなる。即ちラインメモリ62が共用されるようにしている。

そしてこれにより、この図23のY垂直フィルタ41YVでは、ラインメモリ62による遅延信号と非遅延信号としての2タップのデータが得られる。

【0113】

2タップのデータはそれぞれスイッチ164a、164bを介してラッチ回路165a、165bに入力される。ラッチ回路165a、165bのラッチ出力データは乗算器166a、166bに供給される。

そしてスイッチ164a、164bが間引きタイミング信号YCVENにより切り換えられることでラッチ回路165a、165bのラッチ出力データはライン単位でデータの間引きが行われた状態となる。

【0114】

レジスタ167a、167bには、それぞれ乗算係数としての8ビット値coef60~63、coef70~73がセットされている。この各レジスタ167a、167bから乗算器166a、166bに供給される乗算係数は、係数制御信号（係数アドレス）YVCNにより切り換えられていく。つまりこの場合は、係数制御信号YVCNに基づいて所要のライン間隔で、乗算係数が切り換えられていくことになる。そして乗算器166a、166bでは、ラッチ回路165a、165bのラッチ出力データと、順次切り換えられて供給される乗算係数c

$\text{coef } 60 \sim 63, \text{ coef } 70 \sim 73$ の間で乗算が行われていく。

そして乗算器 166a、166b の出力は加算器 168 で加算され、丸め処理部 170 で処理された後、ラッチ回路 171 を介してデータ $Y_f 12$ として出力される。

このデータ $Y_f 12$ は、水平方向に加えて垂直方向にもサイズ調整されたデータとなる。

【0115】

ここで直線補間を実行する際に、垂直方向に関して N_2 / M_2 の変換比での処理を実行するとし、 $N_2 = 4$ であるとすると、上記のように各 4 つの乗算係数が用意され、また各タップに対して対になる係数は、係数 K と係数 $1 - K$ の関係となる。即ち図中の表に示すように乗算係数 $\text{coef } 60 = 1/4, \text{ coef } 70 = 3/4$ となる。

同様に、乗算係数 $\text{coef } 61 = 2/4, \text{ coef } 71 = 2/4$ となり、さらに乗算係数 $\text{coef } 62 = 3/4, \text{ coef } 72 = 1/4$ となる。さらに乗算係数 $\text{coef } 63 = 4/4, \text{ coef } 73 = 0$ となる。

これにより図 1、図 2 で説明した直線補間としての処理が実現される。

【0116】

次に C 垂直フィルタ 41CV を図 25 に示す。このフィルタも 2 タップ構成とするものであるが、1 ラインの遅延のためのラインメモリは設けられていない。そして上記図 12 に示した C 垂直フィルタ 31CV におけるスイッチ 90a、90b は、表示用画サイズ調整部 9 での処理が行われる際に TP 端子に切り換えられるものであり、つまり表示用画サイズ調整部 9 での処理が行われている際には、データ $C_f 11$ は図 25 及び図 12 に示す③の経路により、記録用画サイズ調整部 10 内の C 垂直フィルタ 31CV におけるラインメモリ 92 に供給され、またラインメモリ 92 の出力が④の経路により戻されるものとなる。即ちラインメモリ 92 が共用される。

そしてこれにより、この図 25 の C 垂直フィルタ 41CV では、ラインメモリ 92 による遅延信号と非遅延信号としての 2 タップのデータが得られる。

【0117】

2タップのデータはそれぞれスイッチ194a、194bを介してラッチ回路195a、195bに入力される。ラッチ回路195a、195bのラッチ出力データは乗算器196a、196bに供給される。

そしてスイッチ194a、194bが間引きタイミング信号YCVENにより切り換えられることでラッチ回路195a、195bのラッチ出力データはライン単位でデータの間引きが行われた状態となる。

【0118】

レジスタ197a、197bには、図23のレジスタ167a、167bと同様の値としての乗算係数coef60～63、coef70～73がセットされている。この各レジスタ197a、197bから乗算器196a、196bに供給される乗算係数は、係数制御信号（係数アドレス）YVCNにより切り換えられていく。そして乗算器196a、196bでは、ラッチ回路195a、195bのラッチ出力データと、順次切り換えられて供給される乗算係数coef60～63、coef70～73の間で乗算が行われていく。

乗算器196a、196bの出力は加算器198で加算され、丸め処理部200で処理された後、ラッチ回路201を介してデータCf12として出力される。

このデータCf12は、水平方向に加えて垂直方向にもサイズ調整されたデータとなる。

【0119】

以上のようにフィルタ部41で画サイズ調整されたデータYf12、Cf12は、出力部43において所要の処理が施され、後段のビデオRAMコントローラ11に出力されることになる。

【0120】

表示用画サイズ調整部9では以上のような構成のフィルタにより直線補間を行って画サイズ調整を行うようにしているが、直線補間の場合は変換比が変わってもフィルタのタップ数は2タップでよい。また目的とする変換比に応じて乗算係数を変更すればよく、その際も乗算係数は係数K及び1-Kとして容易に設定す

ることができる。

即ち、直線補間であることで、変換比によっては画質が大きく劣化することもあり得るが、単に表示用に用いる画像データとしては、これはさほどの欠点とはならない。そして逆に、変換比をフレキシブルにコントロールできることで、表示デバイスの仕様への対応や、縮小表示、拡大表示といった要望にも容易かつ多様に対応できることになり、表示用データの画サイズ調整処理として好適なものとなる。

【0121】

また本例ではY垂直フィルタ41YV及びC垂直フィルタ41CVにおいては、記録用画サイズ調整部10内のY垂直フィルタ31YV、C垂直フィルタ31CVにおけるラインメモリを用いるようにしているため、比較的回路規模の大きいものであるラインメモリを不要とし、回路規模の削減をはかっている。これにより、表示用画サイズ調整部9と記録用画サイズ調整部10を設けることによる回路規模の増大は最小限にとどめることができる。

【0122】

以上実施の形態の例について説明してきたが、本発明は上記例に限らず、多様な変形例が考えられる。

また上記例は記録用画サイズ調整部10において8/17の縮小を実行するものとしているが、これ以外の変換比を設定する場合ももちろんあり得る。また記録用画サイズ調整部10、表示用画サイズ調整部9におけるデジタルフィルタ及びその周辺回路の構成は各種多様な例が考えられることはいうまでもない。

【0123】

【発明の効果】

以上説明したように本発明の撮像装置は、撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段と、撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段とを設けるようにしている。従って記録用の画像データに関しては画サイズ調整による画質劣化を防止でき、高品質な画像デー

タを記録媒体に記録できるという効果がある。一方、表示用の画像データに関しては簡易な構成の直線補間により実行することで、変換比の変更などにも容易に対応でき、拡大表示や縮小表示などの多様な表示動作に対応できる。また撮像装置に設けられるビューファインダーや、接続される外部モニタ装置などの仕様にも容易に対応できる。

【0124】

また、表示用画サイズ調整手段と記録用画サイズ調整手段では、画サイズ調整処理に用いるラインメモリが共用されるようにすることで、比較的規模の大きいラインメモリを有効利用でき、ハードウェア規模の増大を最小限にとどめることができる。

【0125】

また、記録用画サイズ調整手段における曲線補間は、画像データを N/M (M 、 N は互いに素な正の整数) に補間する際に、周波数軸上における n/M (但し $n = 1, 2, \dots, M-1$)、 k/N (但し $k = 1, 2, \dots, N-1$) に零点を持つ特性となるフィルタリングを行うことで、画質劣化を良好に防止することができ、記録データとしての品質を保つことに好適である。

【図面の簡単な説明】

【図1】

直線補間の説明図である。

【図2】

直線補間での周波数特性の説明図である。

【図3】

曲線補間の説明図である。

【図4】

曲線補間での周波数特性の説明図である。

【図5】

本発明の実施の形態のデジタルスチルカメラのブロック図である。

【図6】

実施の形態の記録用画サイズ調整部のフィルタ特性の説明図である。

【図7】

実施の形態の記録用画サイズ調整部のフィルタリング概念の説明図である。

【図8】

実施の形態の記録用画サイズ調整部のブロック図である。

【図9】

実施の形態の記録用画サイズ調整部のY水平フィルタのブロック図である。

【図10】

実施の形態の記録用画サイズ調整部のY垂直フィルタのブロック図である。

【図11】

実施の形態の記録用画サイズ調整部のC水平フィルタのブロック図である。

【図12】

実施の形態の記録用画サイズ調整部のC垂直フィルタのブロック図である。

【図13】

実施の形態の記録用画サイズ調整部への入力データの説明図である。

【図14】

実施の形態のY水平フィルタの動作の説明図である。

【図15】

実施の形態のC水平フィルタの動作の説明図である。

【図16】

実施の形態のY水平フィルタ及びC水平フィルタの出力タイミングの説明図である。

【図17】

実施の形態のY垂直フィルタ及びC垂直フィルタの動作の説明図である。

【図18】

実施の形態の記録用画サイズ調整部の出力部のブロック図である。

【図19】

実施の形態の記録用画サイズ調整部の出力部の動作の説明図である。

【図20】

実施の形態の記録用画サイズ調整部の出力データの説明図である。

【図21】

実施の形態の表示用画サイズ調整部のブロック図である。

【図22】

実施の形態の表示用画サイズ調整部のY水平フィルタのブロック図である。

【図23】

実施の形態の表示用画サイズ調整部のY垂直フィルタのブロック図である。

【図24】

実施の形態の表示用画サイズ調整部のC水平フィルタのブロック図である。

【図25】

実施の形態の表示用画サイズ調整部のC垂直フィルタのブロック図である。

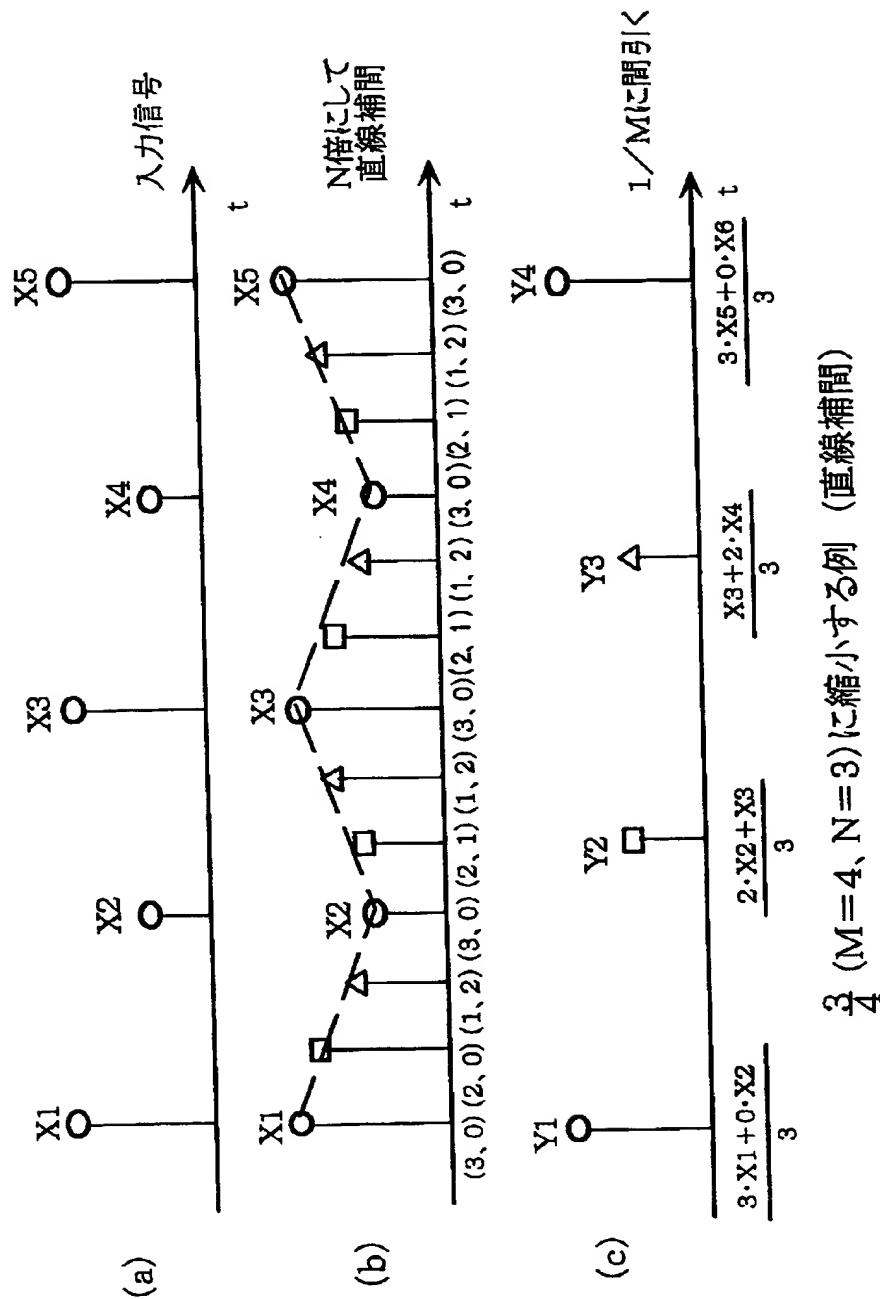
【符号の説明】

- 1 デジタルスチルカメラ、2 レンズ系、3 CCD、4 CDS及びA/D変換回路、5 DSP、6 タイミング発生部、7 ストロボ、8 カメラコントローラ、9 表示用画サイズ調整部、10 記録用画サイズ調整部、11 ビデオRAMコントローラ、12 ビデオRAM、13 ビデオエンコーダ、14 ビデオ出力部、15 デコーダ/ドライバ、16 液晶表示部、17 DRAMコントローラ、18 DRAM、19 JPEGコントローラ、20 JPEG処理部、21 メインコントローラ、22 DRAM、23 インターフェースコントローラ、24 操作部、25 PCカード、31 フィルタ部、32 制御部、33 出力部、31 YH Y水平フィルタ、31 YV Y垂直フィルタ、31 CH C水平フィルタ、31 CV C垂直フィルタ、41 フィルタ部、42 制御部、43 出力部、41 YH Y水平フィルタ、41 YV Y垂直フィルタ、41 CH C水平フィルタ、41 CV C垂直フィルタ

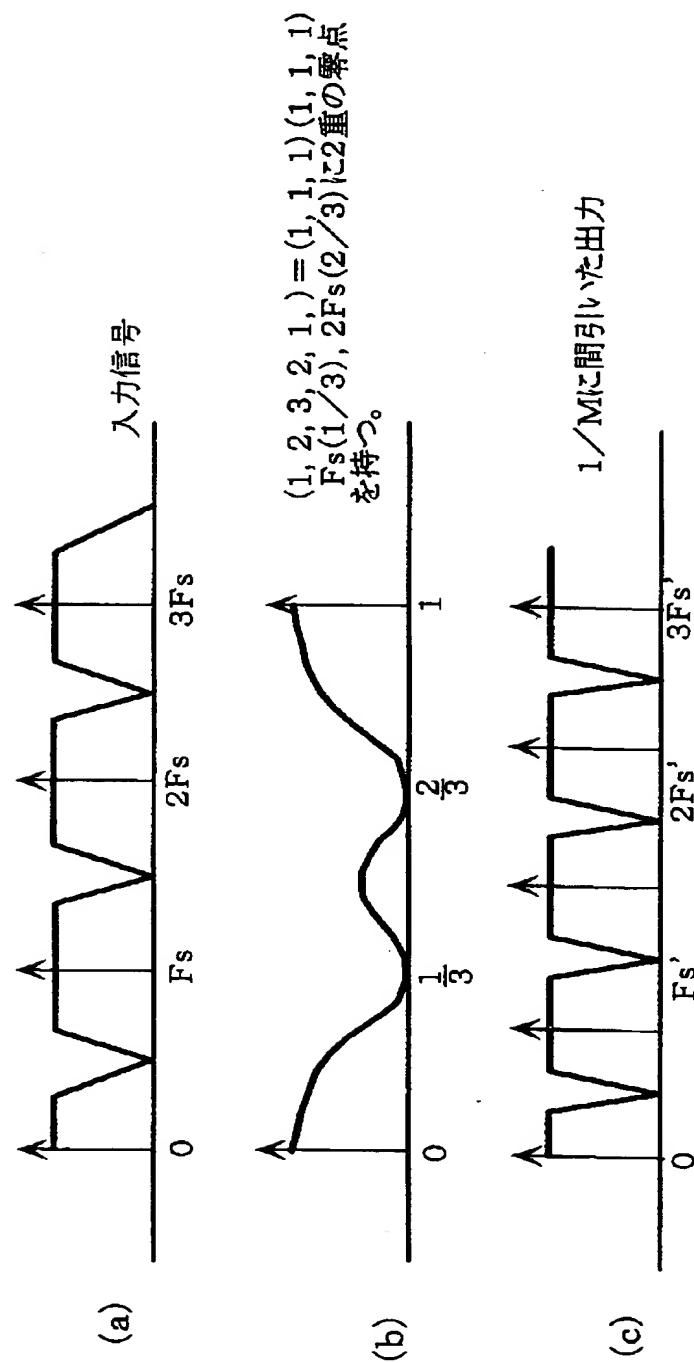
【書類名】

図面

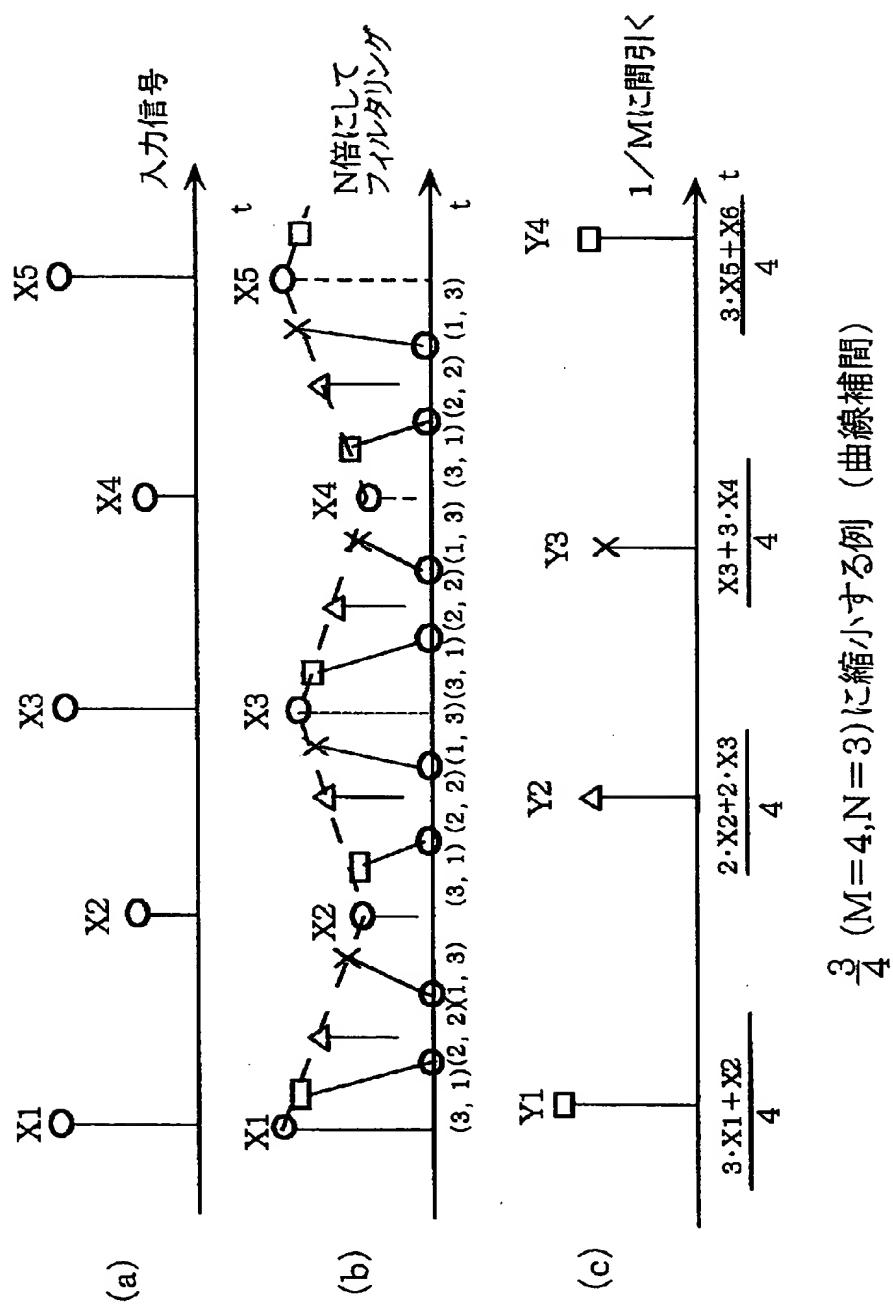
【図1】



【図 2】

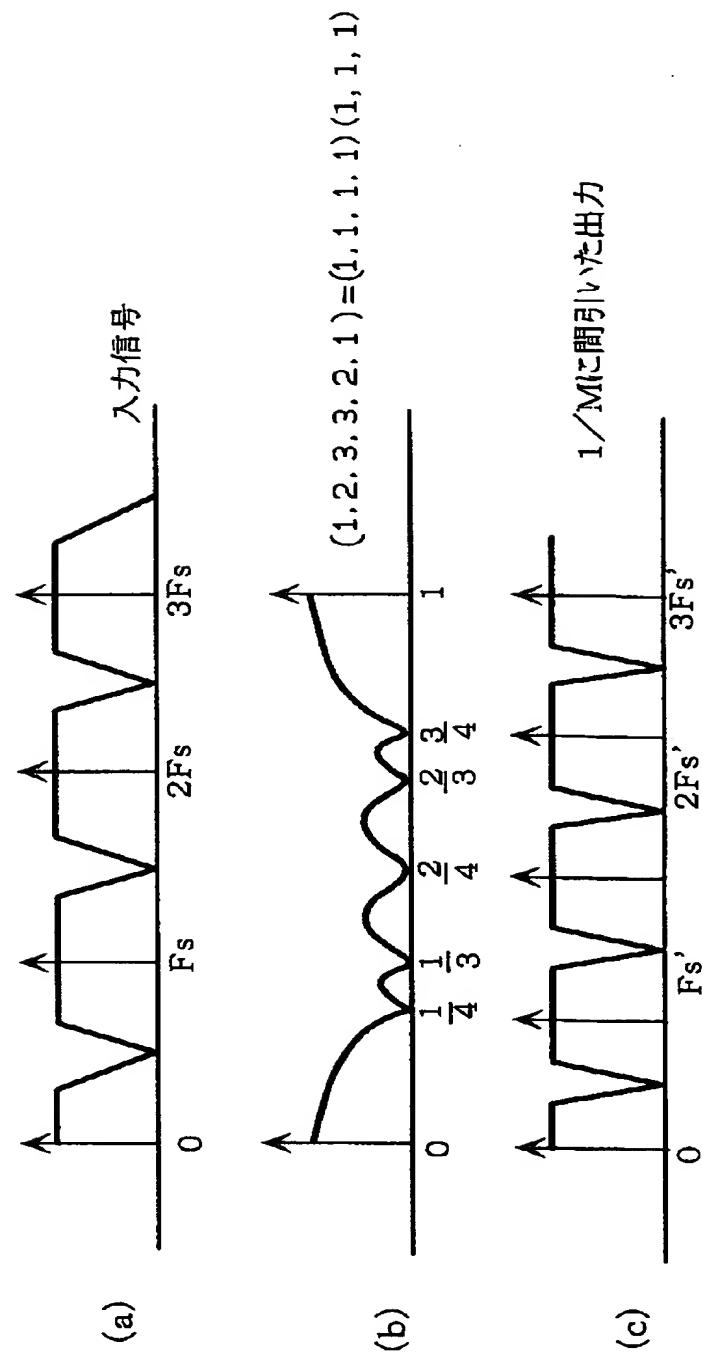


【図3】

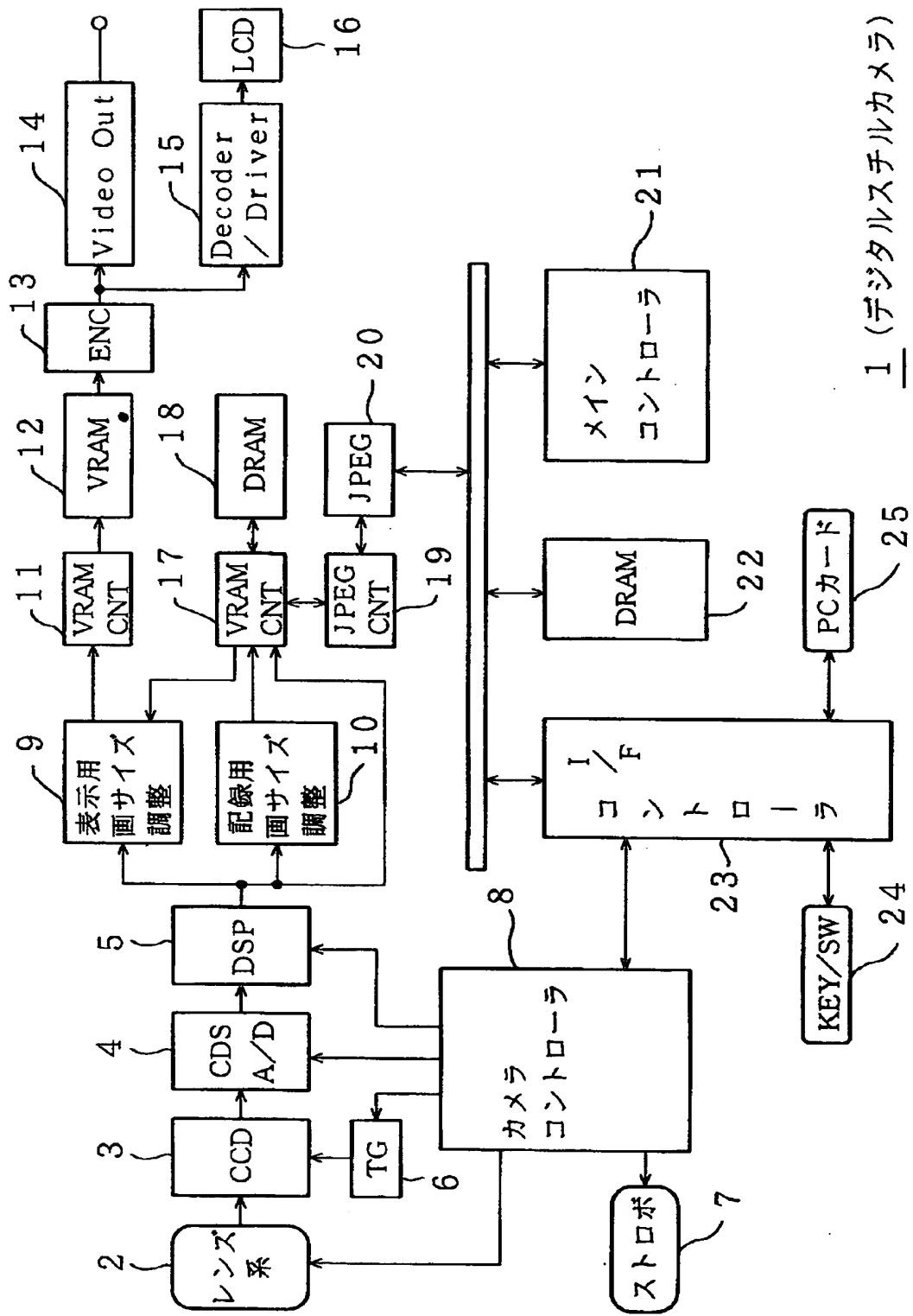


$\frac{3}{4}$ ($M=4, N=3$)に縮小する例 (出線補間)

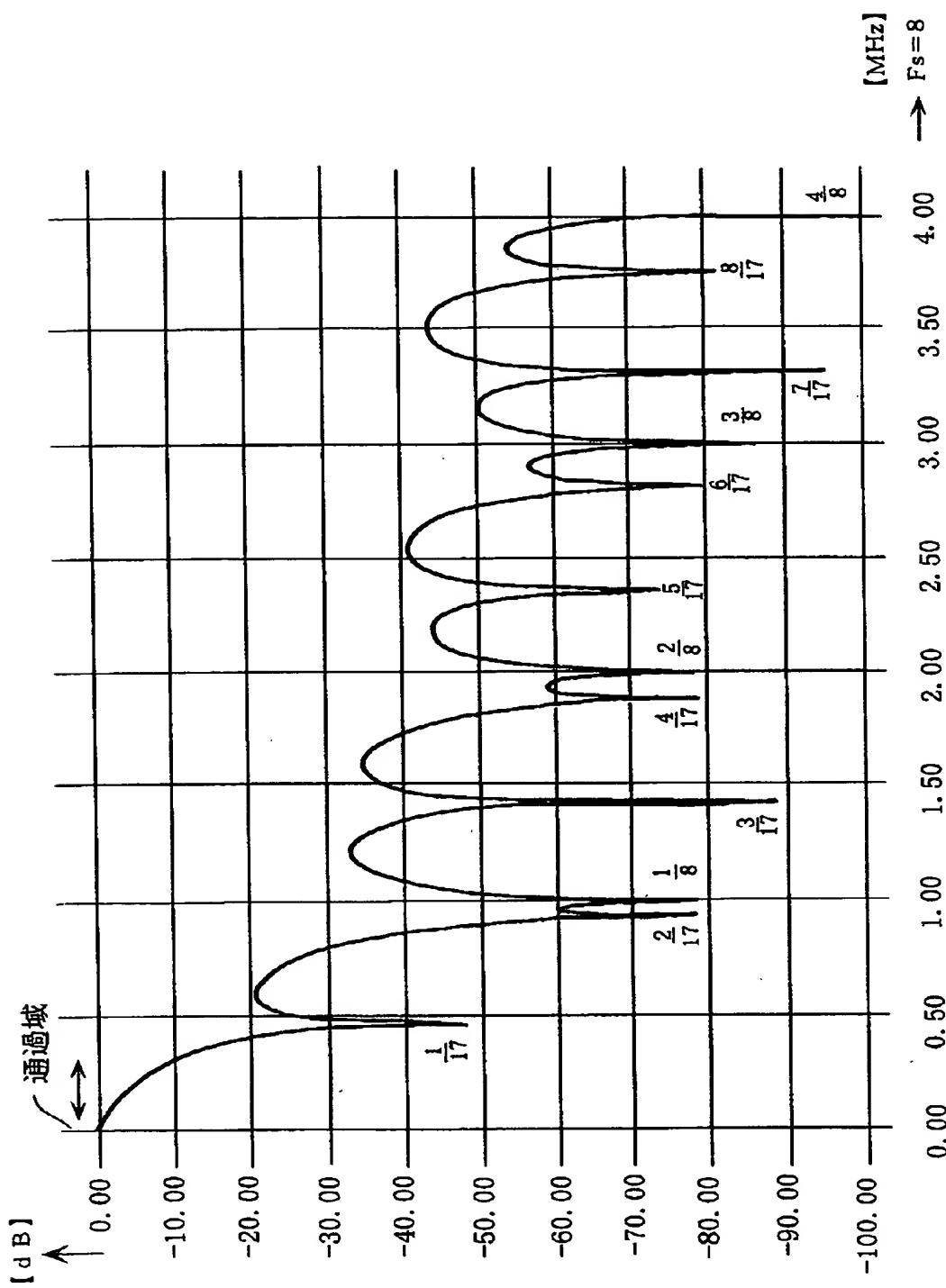
【図4】



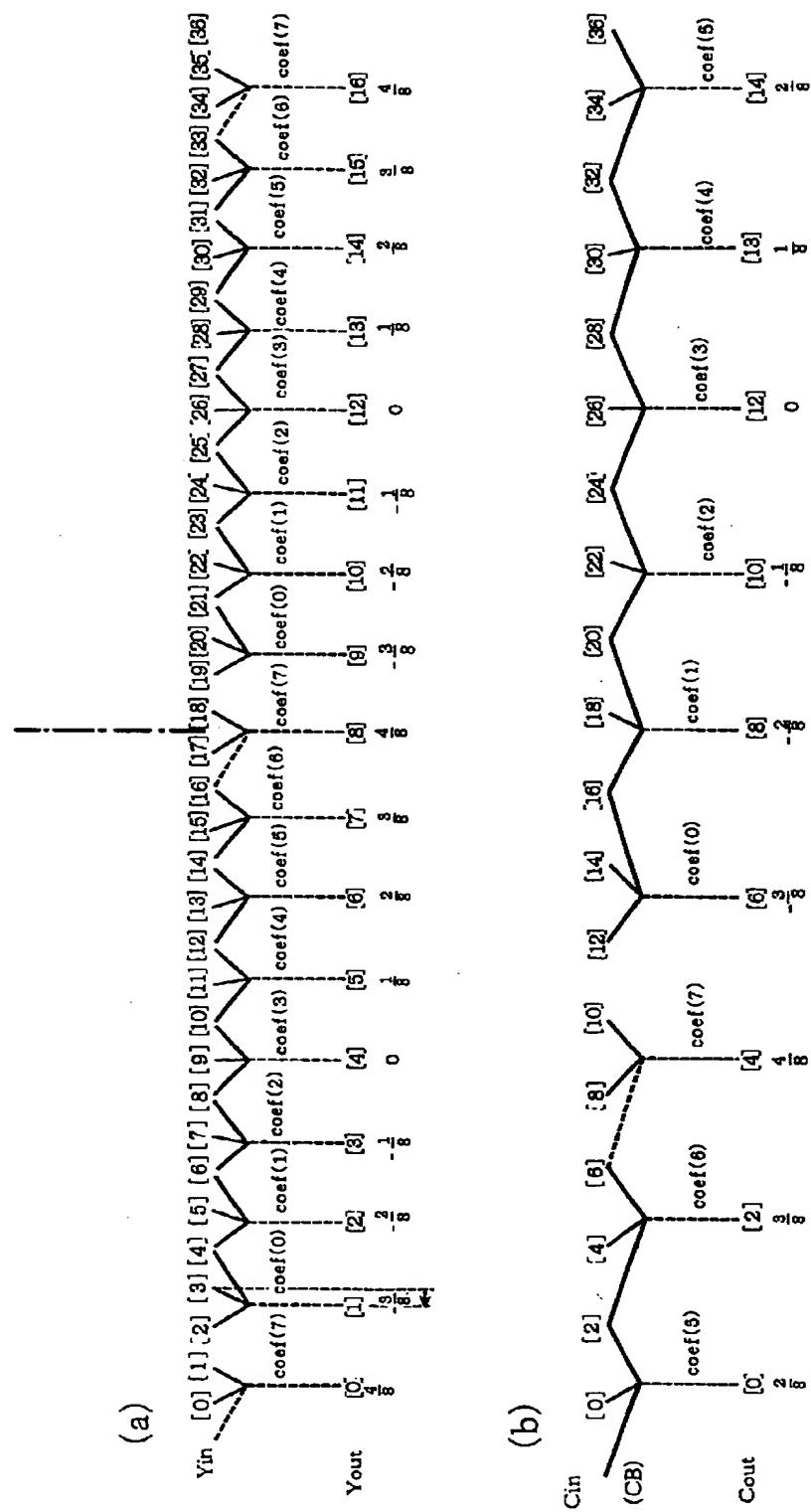
【図5】



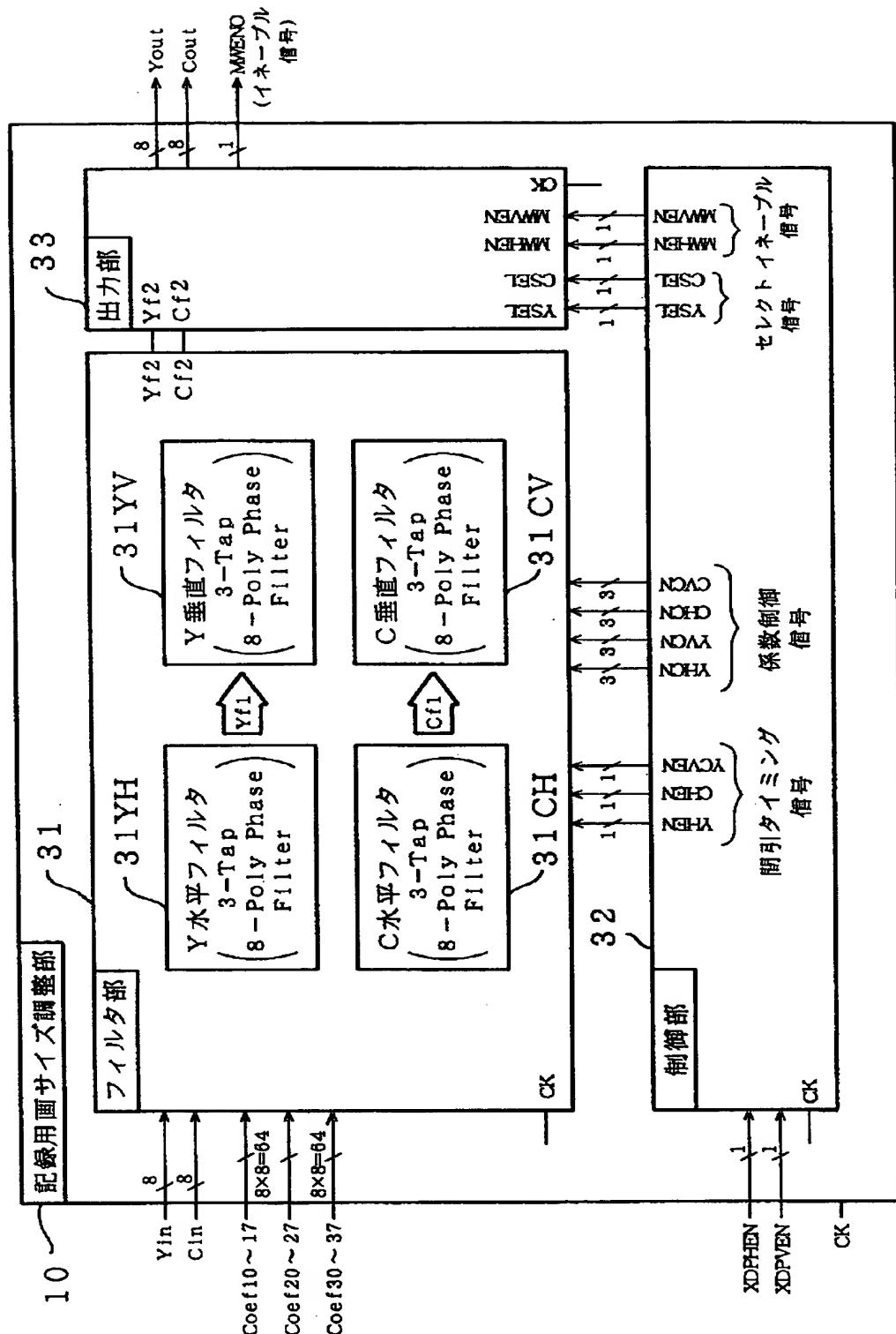
【図 6】



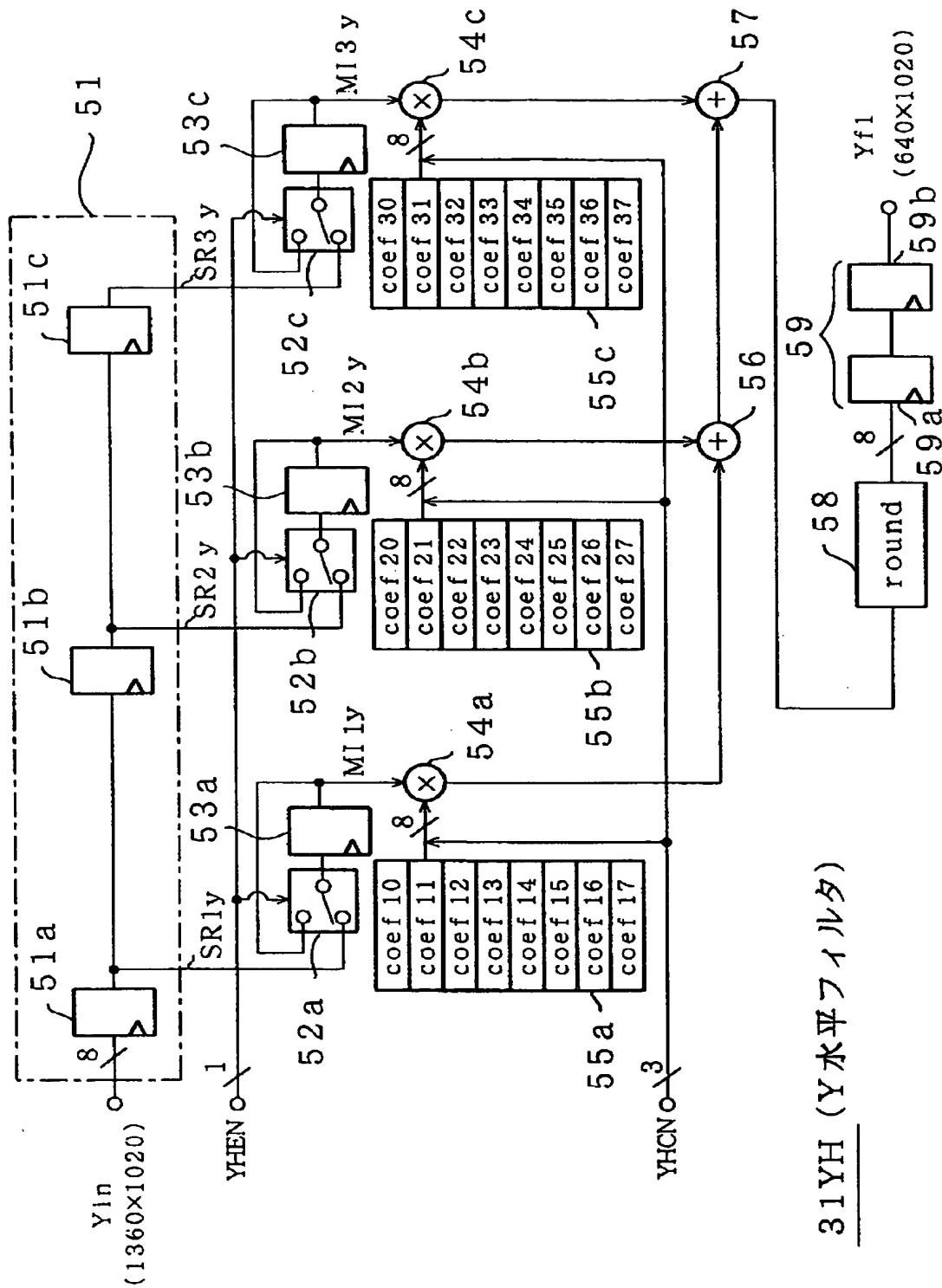
【図 7】



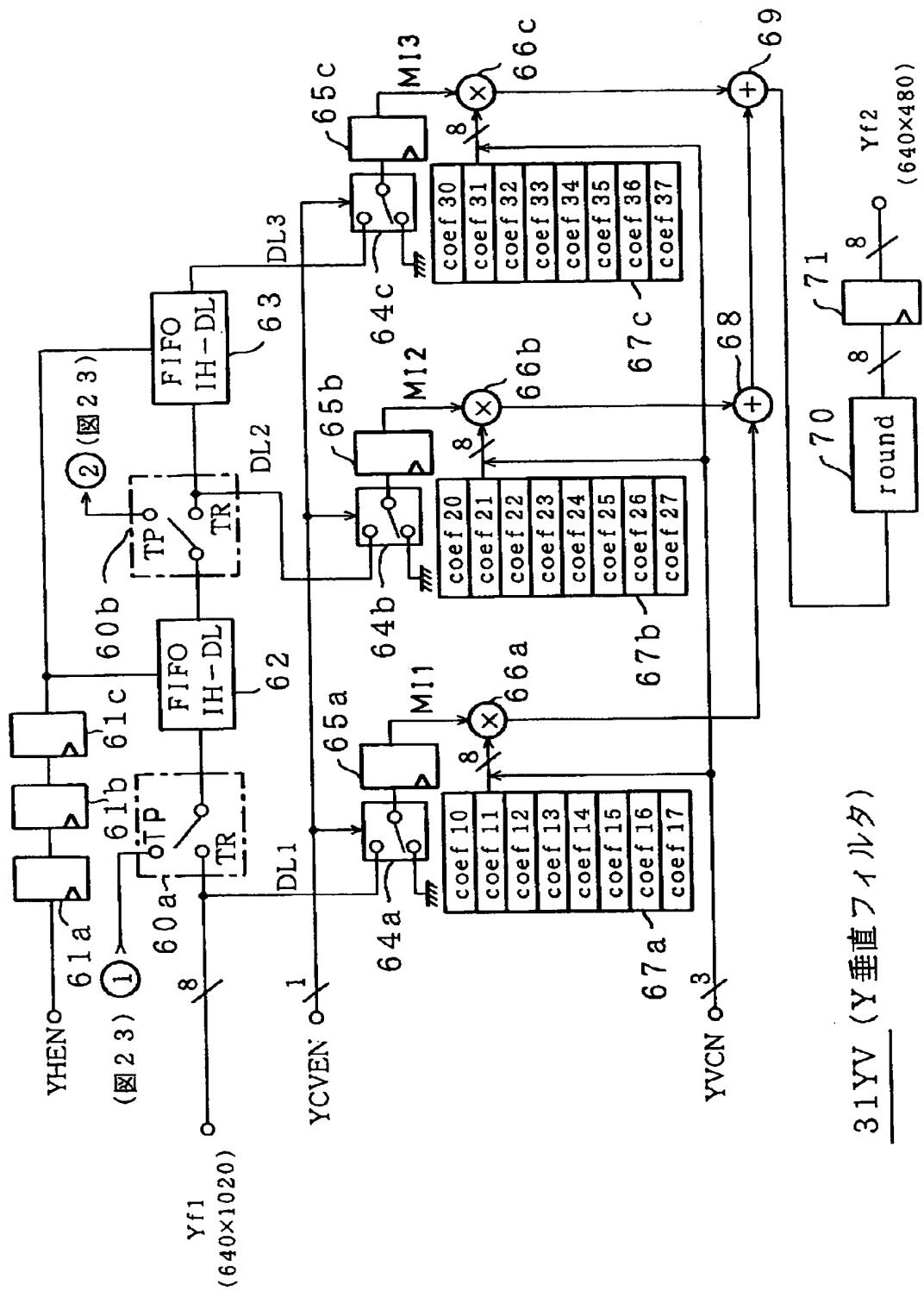
〔圖 8〕



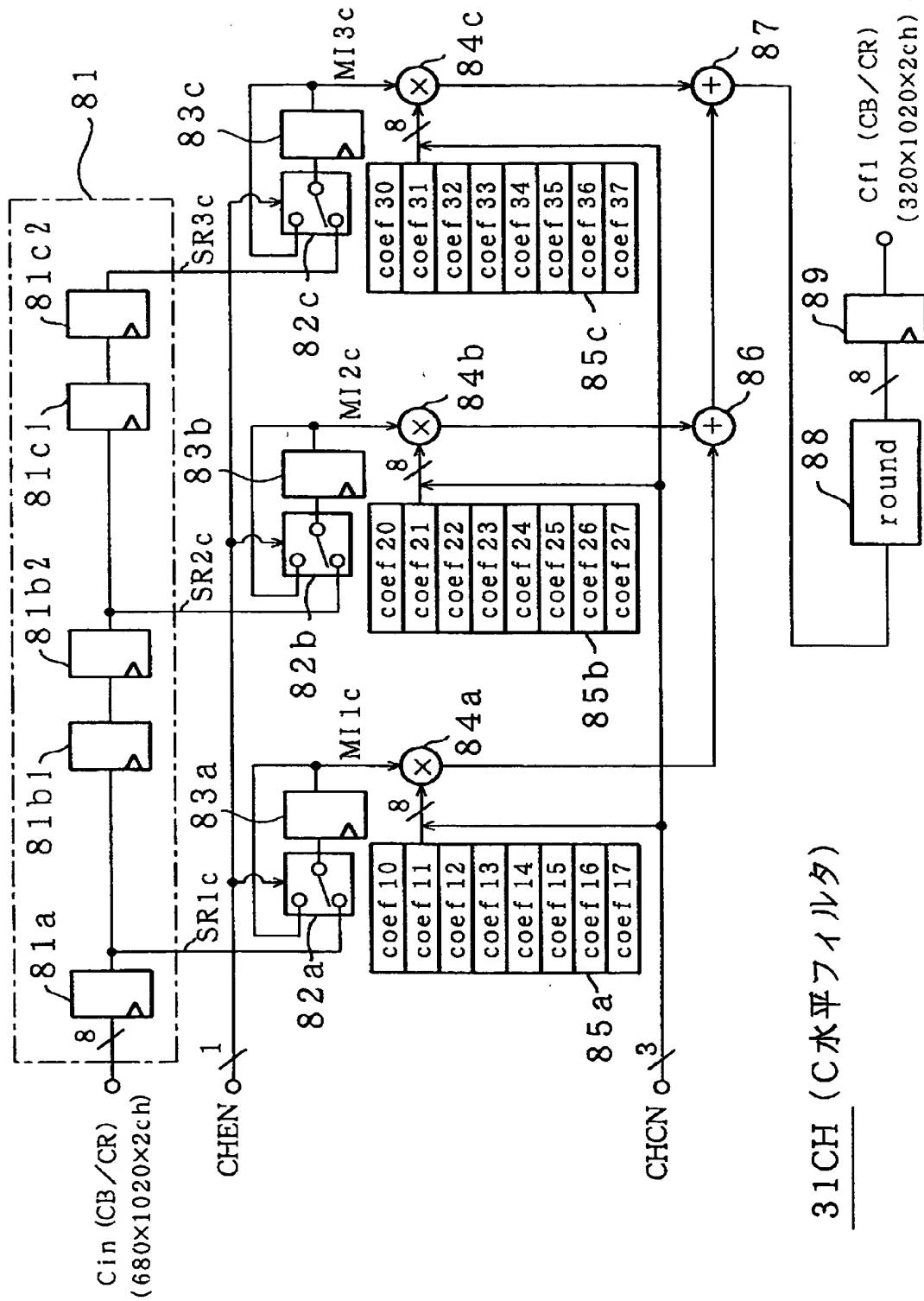
【図9】



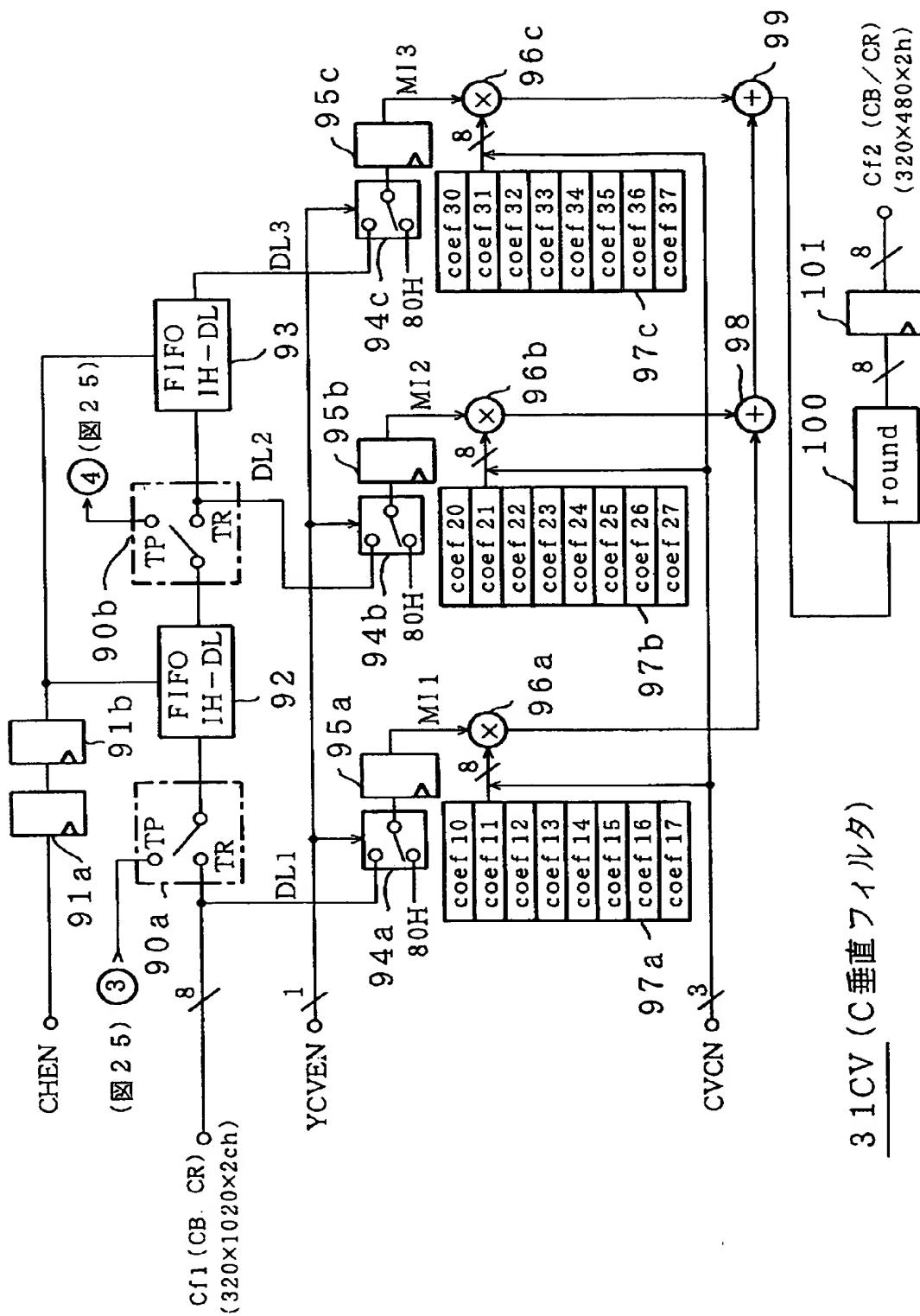
【図10】



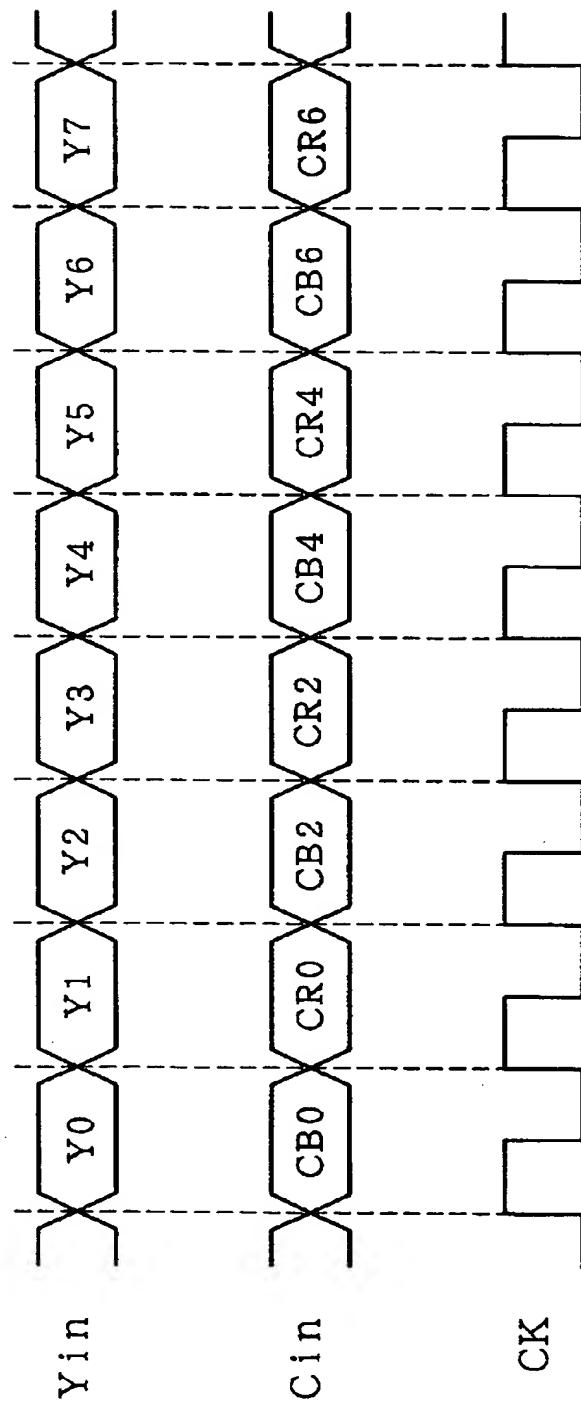
【図 11】



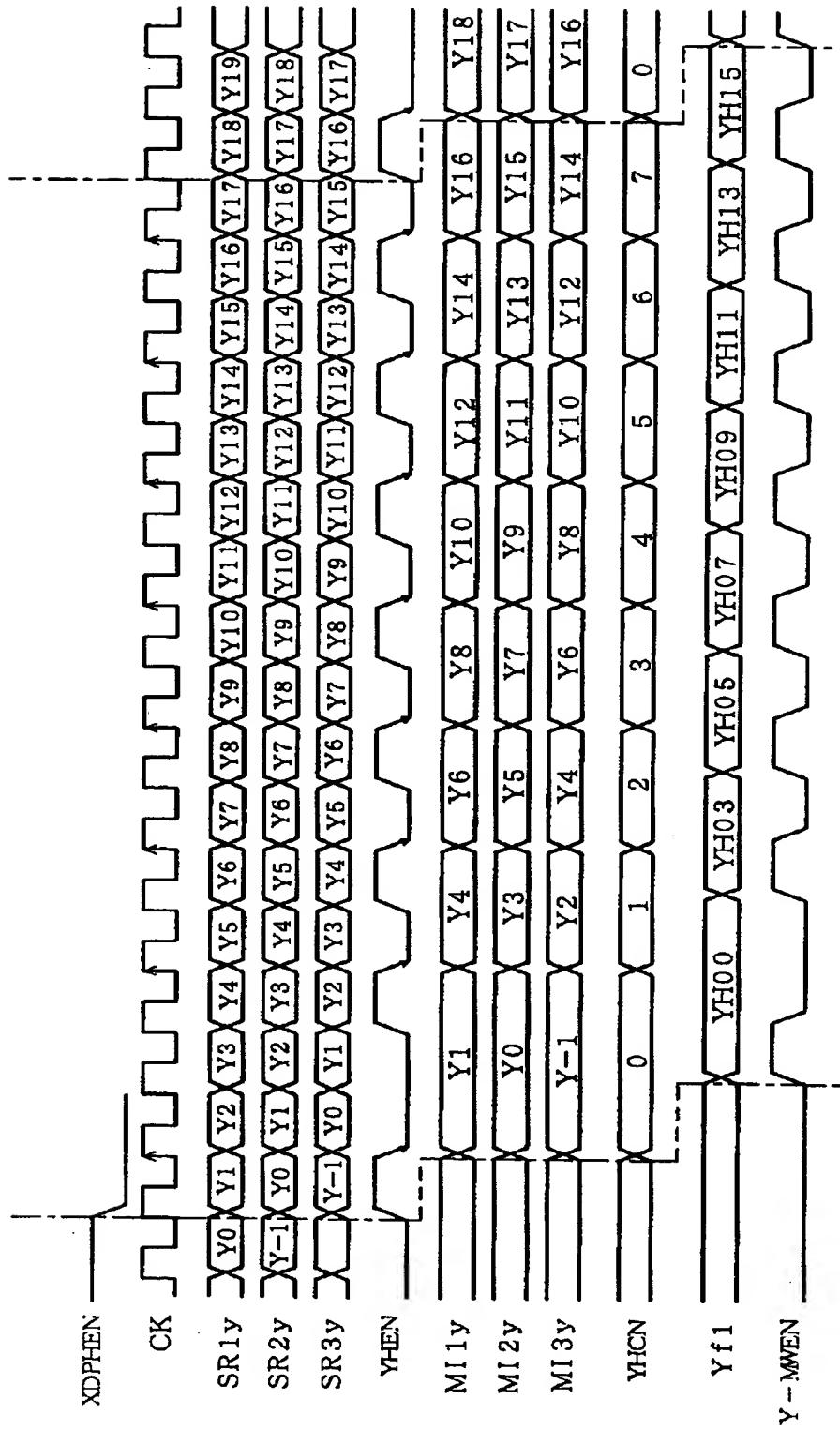
【図12】



【図13】

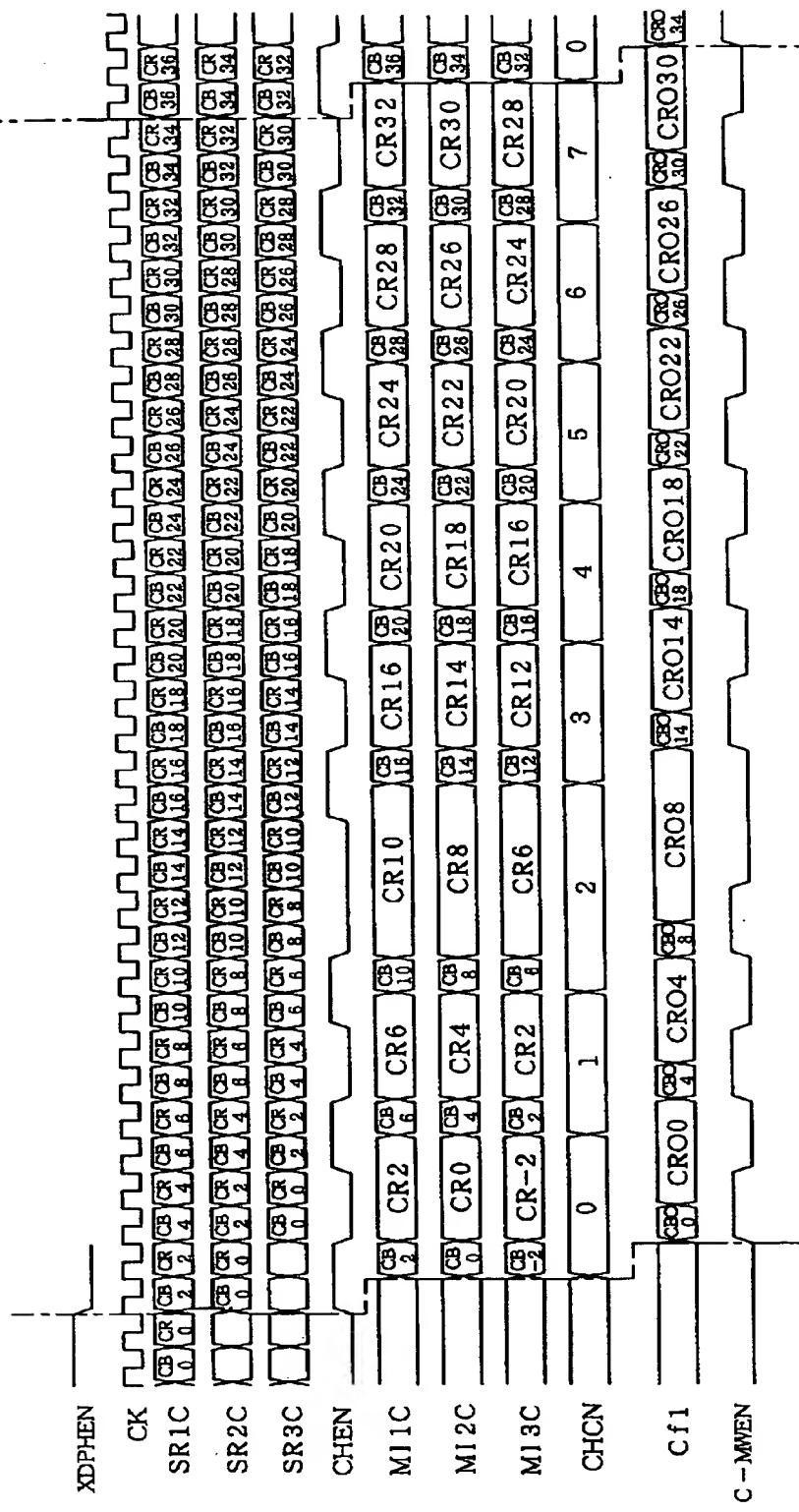


【図14】



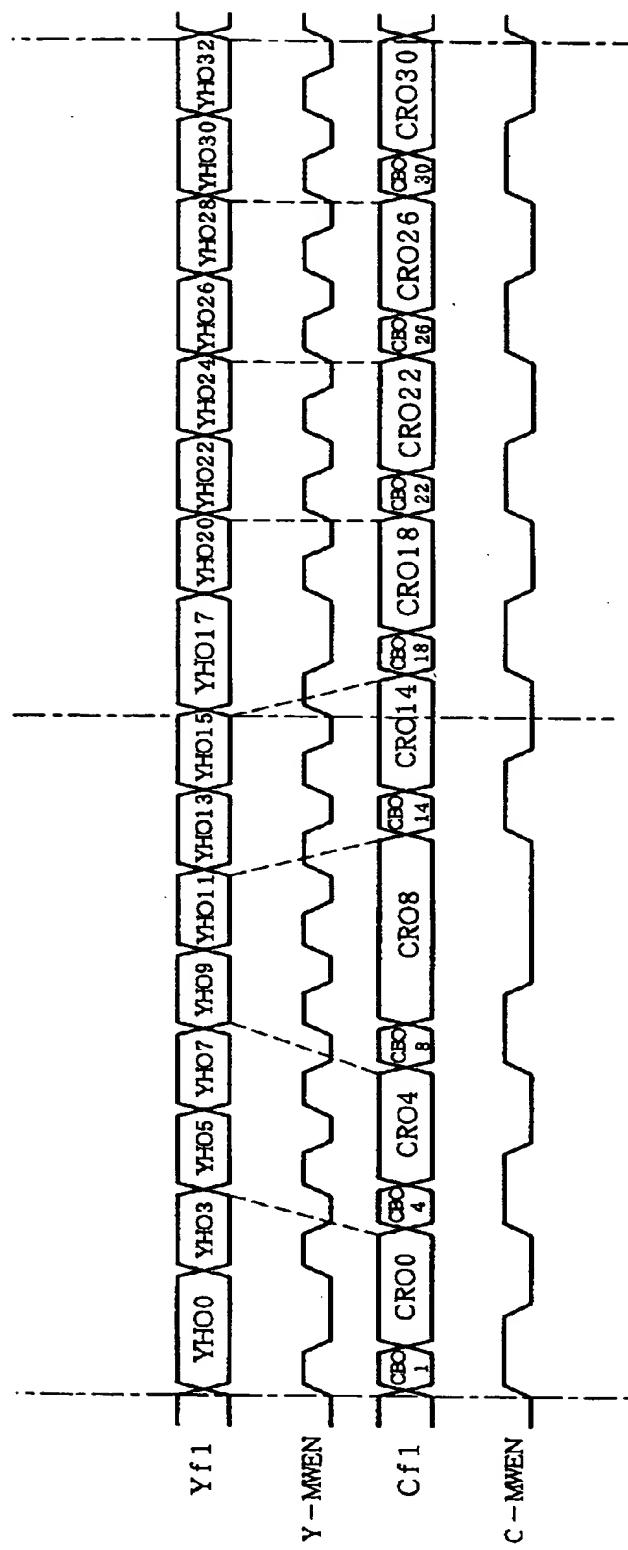
Y水平フィルタの水平間引きタイミング

【図 15】



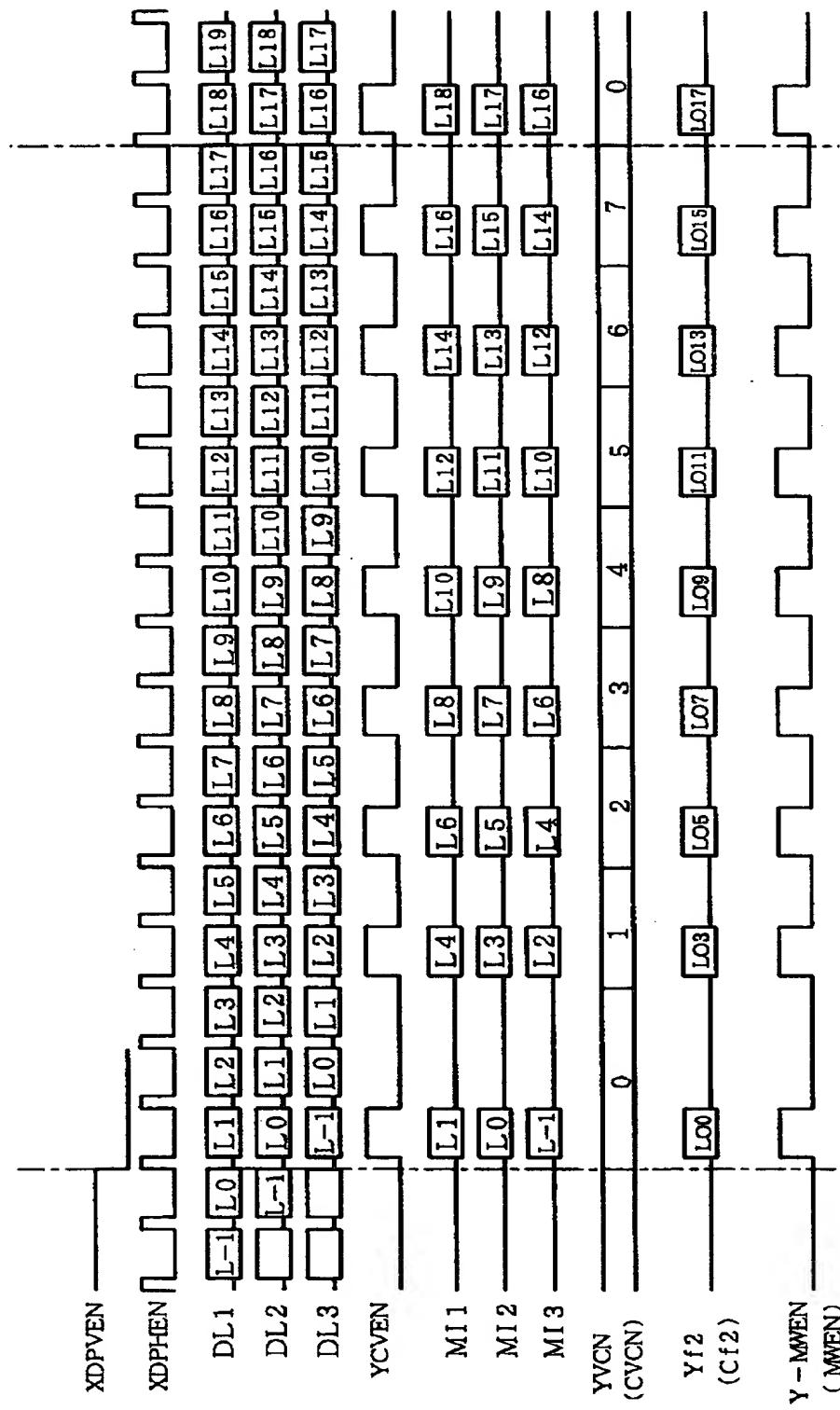
C 水平フィルタの水平間引きタイミング

【図 16】



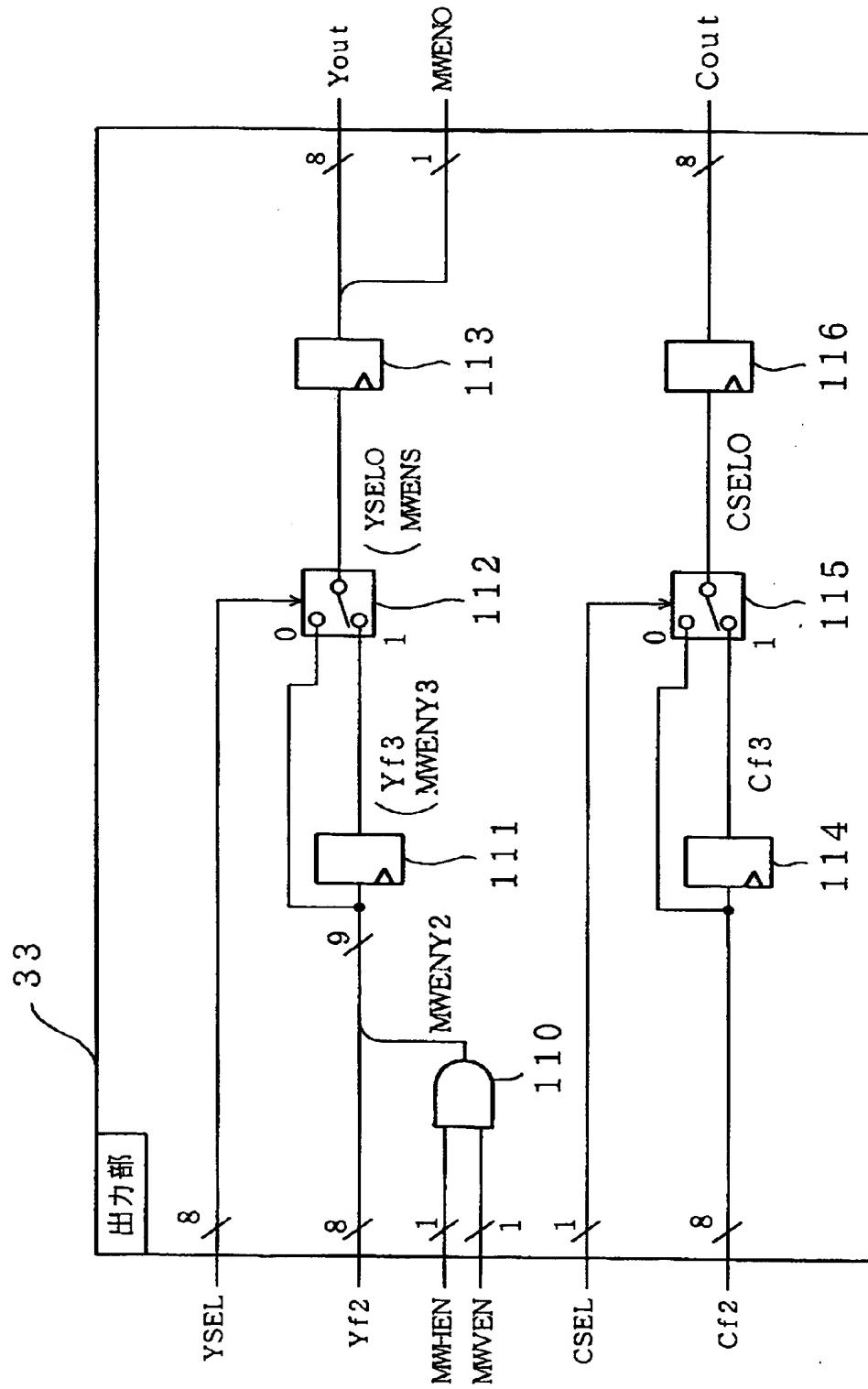
Y、C水平フィルタ出力タイミング

【図 17】

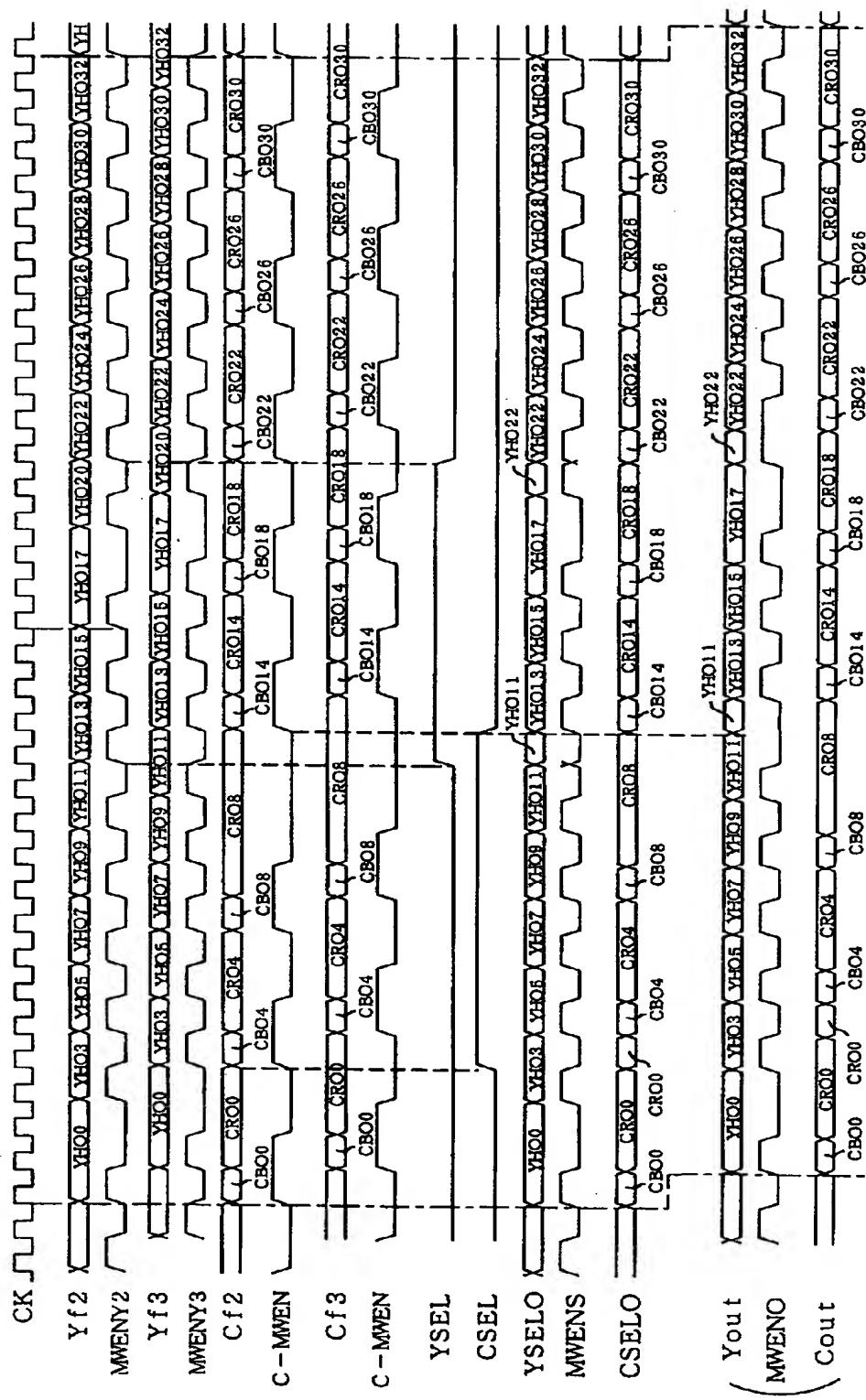


Y, C 垂直間引きタイミング

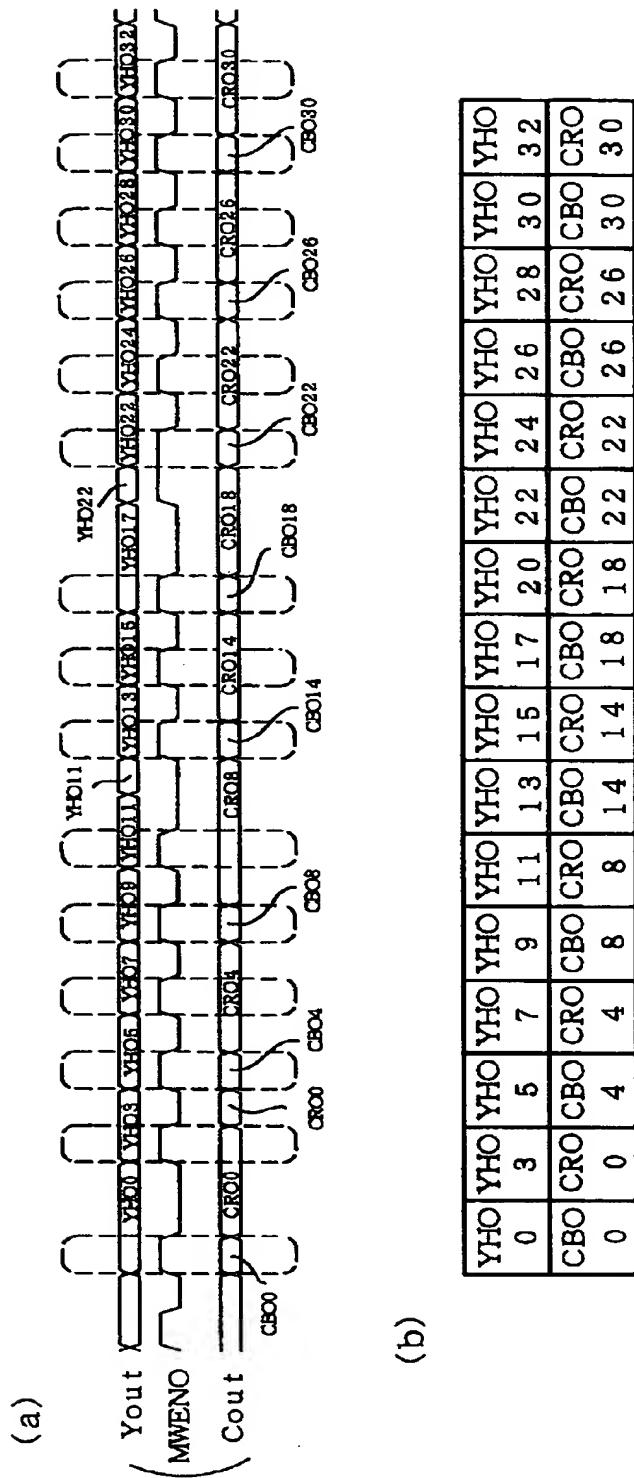
【図18】



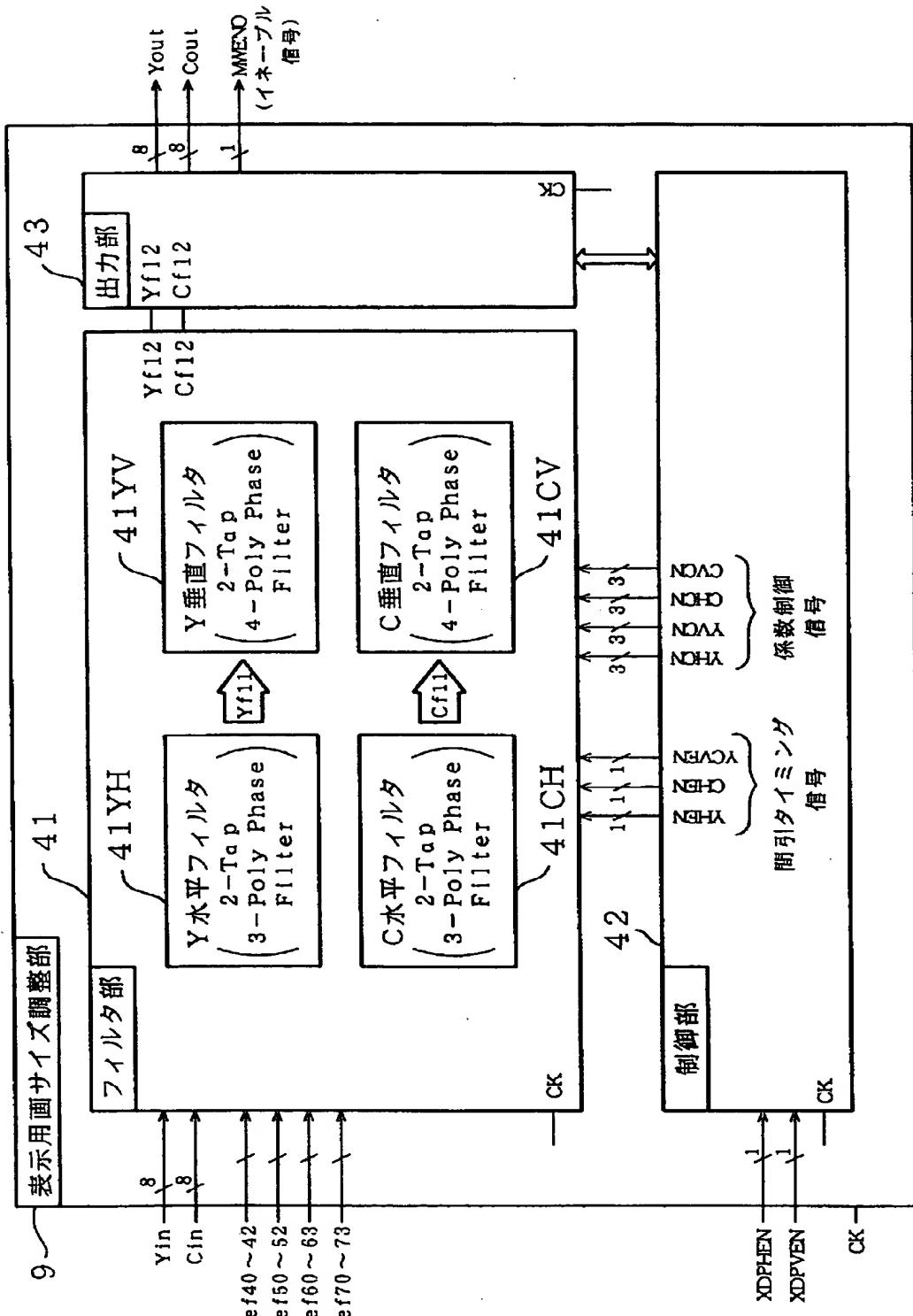
【図19】



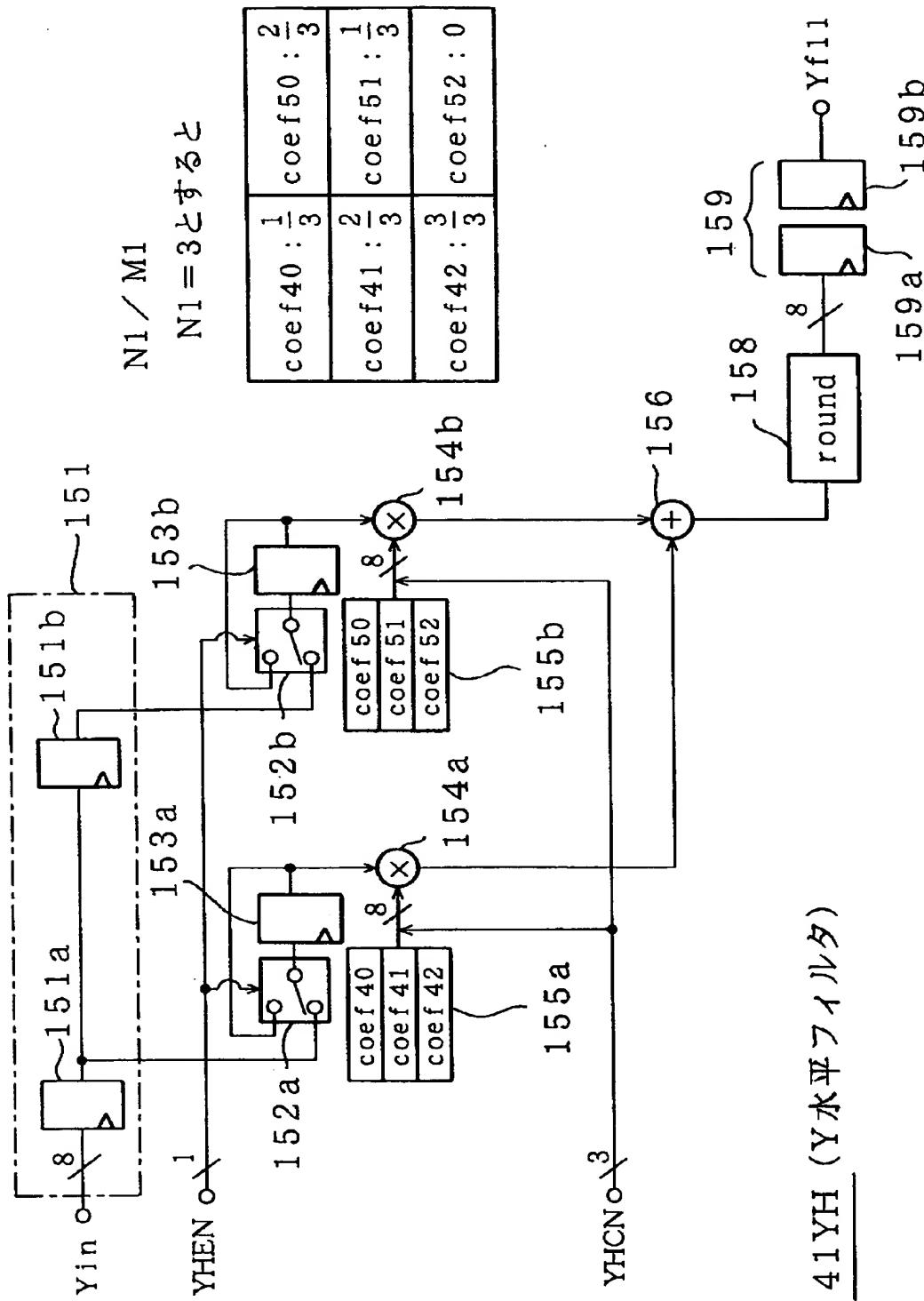
【図20】



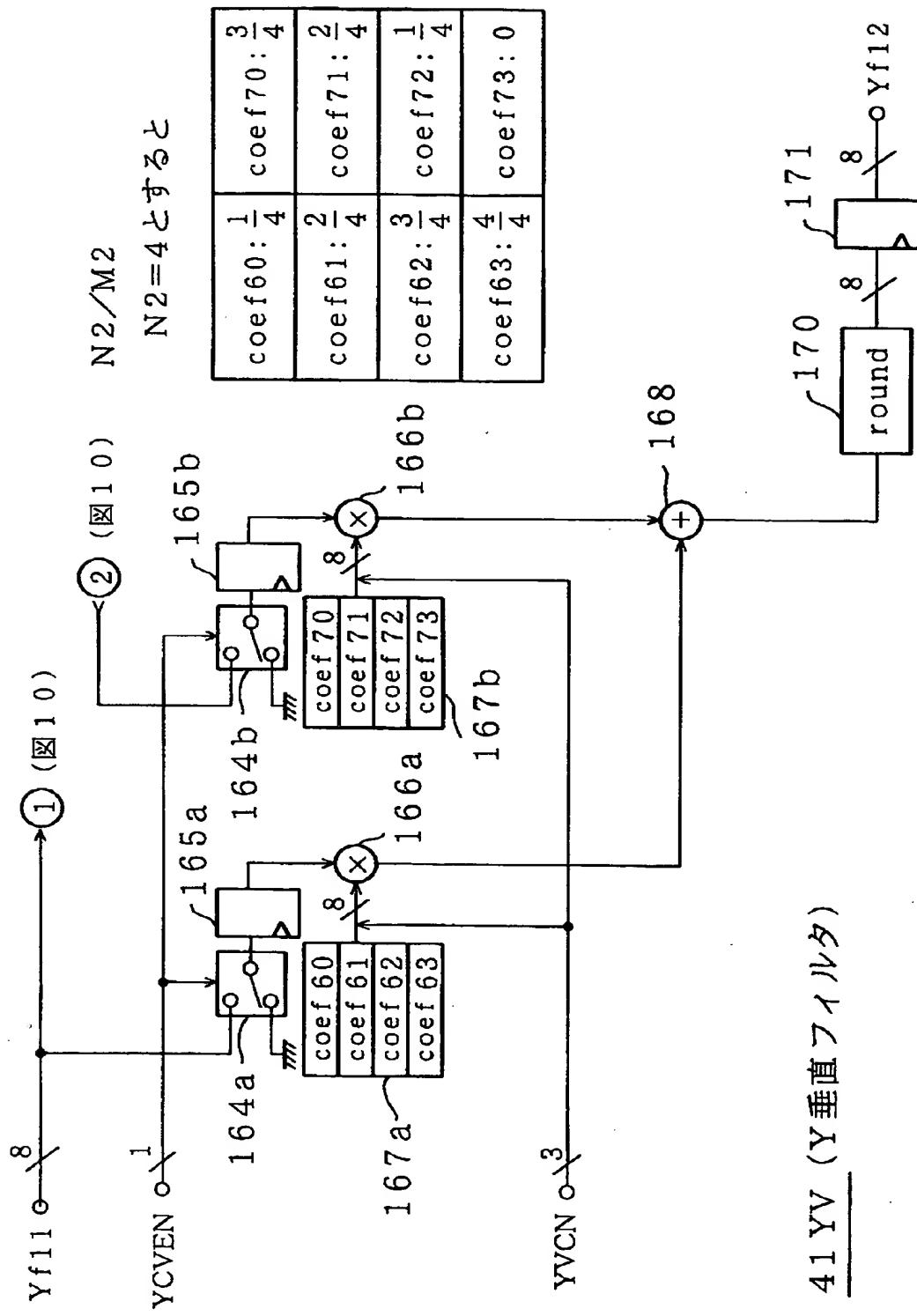
【図21】



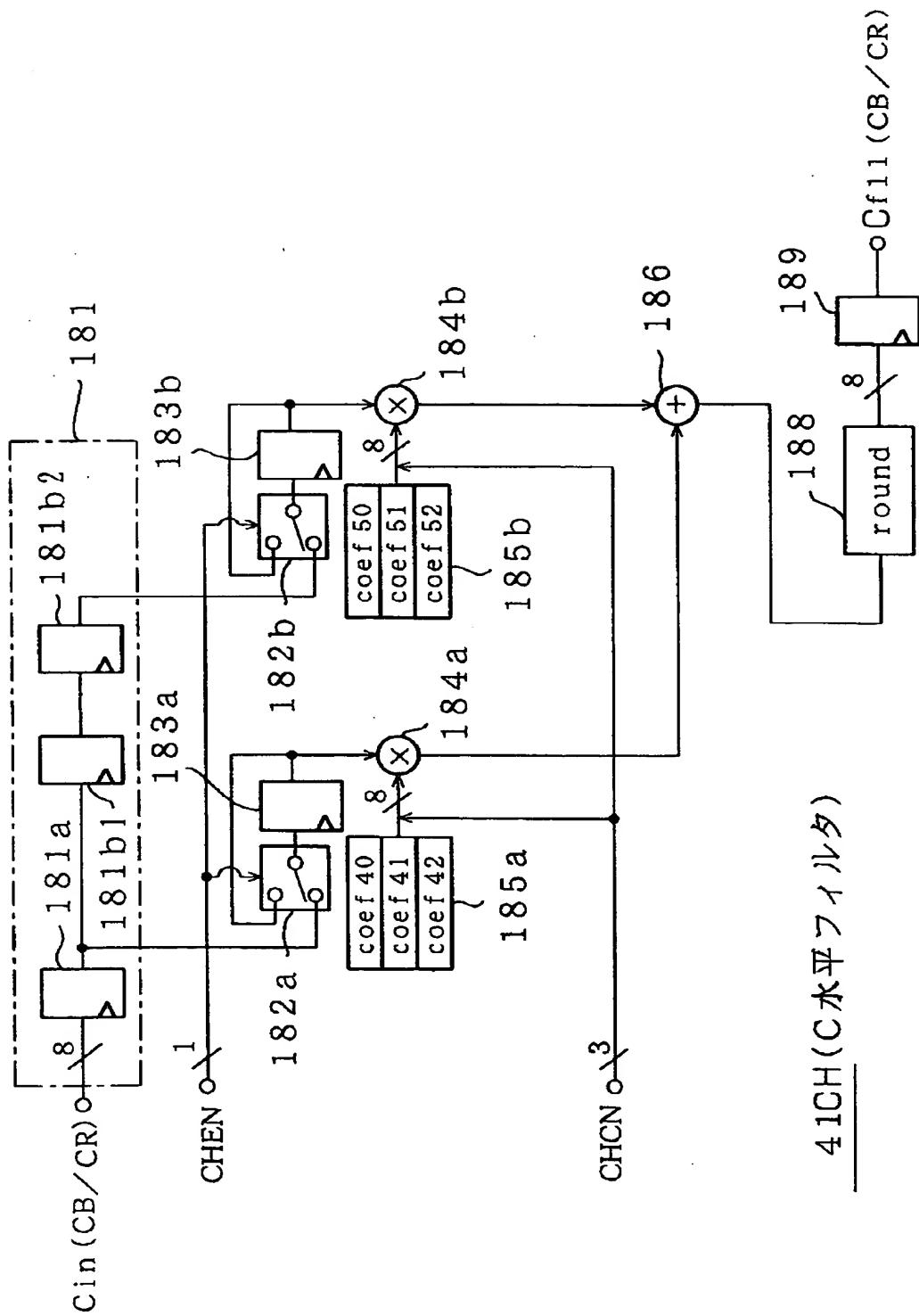
【図22】



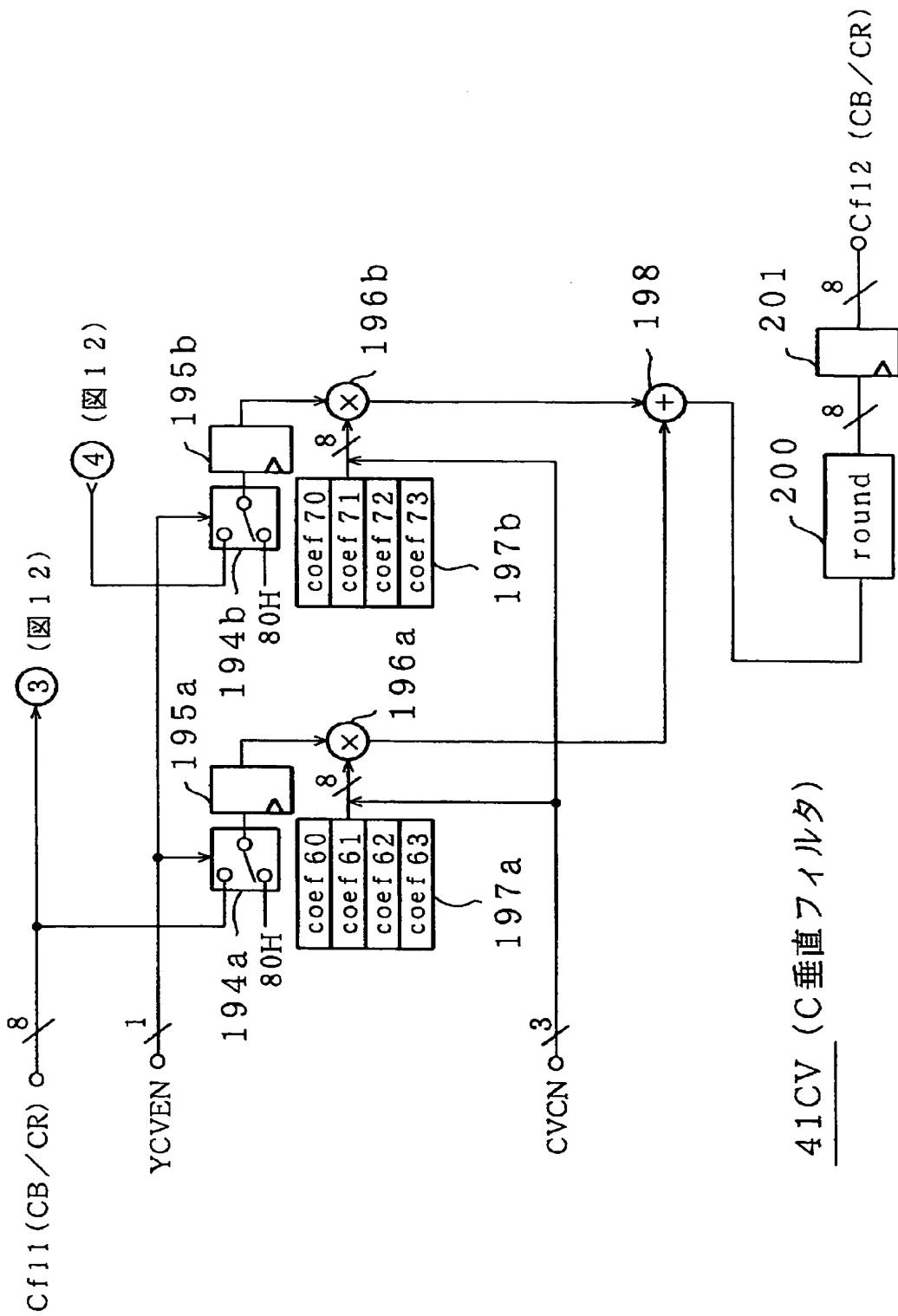
【図23】



【図24】

41CH (C水平フィルタ)

【図25】



【書類名】 要約書

【要約】

【課題】 表示用の画像データに関する画サイズ調整処理と記録用の画像データに対する画サイズ調整処理をそれぞれ好適に実行できるようにする。

【解決手段】 撮像手段から出力された画像データに対して直線補間による画サイズ調整処理を行って表示出力用の画像データを生成する表示用画サイズ調整手段9と、撮像手段から出力された画像データに対して曲線補間による画サイズ調整処理を行って、記録媒体への記録用の画像データを生成する記録用画サイズ調整手段10とを設ける。この曲線補間は、画像データを N/M (M, N は互いに素な正の整数) に補間する際に、周波数軸上における j/M (但し $j = 1, 2, \dots, M-1$)、 k/N (但し $k = 1, 2, \dots, N-1$) に零点を持つ特性となるフィルタリングを行うことで実現する。

【選択図】 図5

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002185

【住所又は居所】 東京都品川区北品川6丁目7番35号

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086841

【住所又は居所】 東京都中央区新川1丁目27番8号 新川大原ビル
6階

【氏名又は名称】 脇 篤夫

【代理人】

【識別番号】 100102635

【住所又は居所】 東京都中央区新川1丁目27番8号 新川大原ビル
6階 雄渾特許事務所

【氏名又は名称】 浅見 保男

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社